

日本国特許庁
JAPAN PATENT OFFICE

US
1#合親
2001-042534

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年11月 2日

出願番号
Application Number:

特願2001-338404

出願人
Applicant(s):

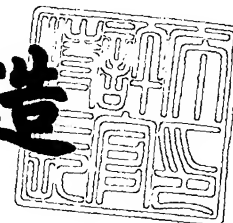
日本電気株式会社



2001年11月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3104904

【書類名】 特許願

【整理番号】 74112361

【提出日】 平成13年11月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 北村 卓也

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100102864

 【弁理士】

 【氏名又は名称】 工藤 実

【選任した代理人】

 【識別番号】 100099553

 【弁理士】

 【氏名又は名称】 大村 雅生

【先の出願に基づく優先権主張】

 【出願番号】 特願2001- 42534

 【出願日】 平成13年 2月19日

【手数料の表示】

 【予納台帳番号】 053213

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

特 2 0 0 1 - 3 3 8 4 0 4

【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の表面部に形成された MOS トランジスタと、前記 MOS トランジスタは、ゲート、ソース領域、ドレイン領域を有し、

前記 MOS トランジスタを覆う第 1 絶縁膜と、

前記第 1 絶縁膜に形成された容量部と、前記容量部は、下部電極と、前記下部電極上に形成された誘電体層と、前記誘電体層上に形成された上部電極とを有し

、
前記第 1 絶縁膜中に形成され、前記下部電極から前記ソース領域に延びる第 1 コンタクト部と

を具備し、

前記第 1 コンタクト部は、第 1 金属プラグ部を含む

半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

前記第 1 金属プラグ部は、第 1 底面部及び第 1 側壁外周部に形成されたバリアメタル層と、前記バリアメタル層内に形成された高融点金属層とを含む

半導体記憶装置。

【請求項 3】 請求項 1 又は 2 に記載の半導体記憶装置において、

前記バリアメタル層は、第 1 窒化チタン層であり、前記高融点金属層は、第 1 タングステン層である

半導体記憶装置。

【請求項 4】 請求項 1 ～ 3 のいずれか一項に記載の半導体記憶装置において、

前記容量部は、前記第 1 絶縁膜の表面から前記第 1 絶縁膜中に延び、トレンチ構造を持つように形成されている

半導体記憶装置。

【請求項 5】 請求項 1 ～ 4 のいずれか一項に記載の半導体記憶装置において、

前記容量部は、前記ソース領域の垂直上方に形成されている

半導体記憶装置。

【請求項 6】 請求項 1 ～ 5 のいずれか一項に記載の半導体記憶装置において、
前記下部電極は、窒化チタン層とドーフトポリシリコン層の積層構造である
半導体記憶装置。

【請求項 7】 請求項 6 に記載の半導体記憶装置において、
前記窒化チタン層は、前記第 1 コンタクト部上に接続された第 2 底面部と、前
記第 2 底面部の端から上方に前記第 1 絶縁膜の表面まで達しない所定の位置にま
で延びる第 2 側壁外周部とからなり、

前記ドーフトポリシリコン層は、前記第 2 底面部上に接続された第 3 底面部と
、前記第 2 側壁外周部上に接続され、前記第 3 底面部の端から上方に前記第 1 絶
縁膜の表面にまで延びる第 3 側壁外周部とからなる

半導体記憶装置。

【請求項 8】 請求項 1 ～ 7 のいずれか一項に記載の半導体記憶装置において、
前記上部電極は、窒化チタン層とドーフトポリシリコン層の積層構造である
半導体記憶装置。

【請求項 9】 請求項 1 ～ 8 のいずれか一項に記載の半導体記憶装置において、
前記誘電体層は、高誘電体である
半導体記憶装置。

【請求項 1 0】 請求項 1 ～ 9 のいずれか一項に記載の半導体記憶装置において

更に、

前記第 1 絶縁膜中で前記ドレイン領域から垂直上方に形成され、第 2 金属プラ
グ部を含む第 2 コンタクト部を具備する

半導体記憶装置。

【請求項 1 1】 請求項 1 0 に記載の半導体記憶装置において、

前記第 2 金属プラグ部は、第 4 底面部及び第 4 側壁外周部に形成された第 2 窒
化チタン層と、前記第 2 窒化チタン層内に形成された第 2 タングステン層とを含
む

半導体記憶装置。

【請求項 1 2】 請求項 1 ～ 1 1 のいずれか一項に記載の半導体記憶装置におい

て、

更に、

前記容量部と前記第 1 絶縁膜とを覆う第 2 絶縁膜と、

前記第 1 絶縁膜中を前記第 2 絶縁膜の表面から前記第 2 コンタクト部まで延びる第 3 コンタクト部とを具備する

半導体記憶装置。

【請求項 1 3】 請求項 1 2 記載の半導体記憶装置において、

前記第 2 コンタクト部及び前記第 3 コンタクト部は、ビット線として働く半導体記憶装置。

【請求項 1 4】 半導体基板の第 1 表面部に形成された第 1 MOS トランジスタと、前記第 1 MOS トランジスタは、第 1 ゲート、第 1 ソース領域、ドレイン領域を有し、

前記半導体基板の第 2 表面部に形成された第 2 MOS トランジスタと、前記第 2 MOS トランジスタは、第 2 ゲート、第 2 ソース領域、前記ドレイン領域を有し、前記ドレイン領域は、前記第 1 MOS トランジスタと前記第 2 MOS トランジスタで共用され、

前記第 1 MOS トランジスタと前記第 2 MOS トランジスタとを覆う第 1 絶縁膜と、

前記第 1 絶縁膜にトレンチ構造を持つように形成された第 1 容量部と、前記第 1 容量部は、第 1 下部電極と、前記第 1 下部電極上に形成された第 1 誘電体層と、前記第 1 誘電体層上に形成された第 1 上部電極とを有し、

前記第 1 絶縁膜にトレンチ構造を持つように形成された第 2 容量部と、前記第 2 容量部は、第 2 下部電極と、前記第 2 下部電極上に形成された第 2 誘電体層と、前記第 2 誘電体層上に形成された第 2 上部電極とを有し、

前記第 1 絶縁膜中に形成され、前記第 1 下部電極から前記第 1 ソース領域に延びる第 1 コンタクト部と、

前記第 1 絶縁膜中に形成され、前記第 2 下部電極から前記第 2 ソース領域に延びる第 2 コンタクト部とを具備し、

前記第 1 コンタクト部及び前記第 2 コンタクト部の各々は、第 1 金属プラグ部を含む

半導体記憶装置。

【請求項 1 5】 請求項 1 4 に記載の半導体記憶装置において、

前記第 1 金属プラグ部は、第 1 底面部及び第 1 側壁外周部に形成されたバリアメタル層と、前記バリアメタル層内に形成された高融点金属層とを含む

半導体記憶装置。

【請求項 1 6】 請求項 1 4 又は 1 5 に記載の半導体記憶装置において、

前記バリアメタル層は、第 1 窒化チタン層であり、前記高融点金属層は、第 1 タングステン層である

半導体記憶装置。

【請求項 1 7】 請求項 1 4 ～ 1 6 のいずれか一項に記載の半導体記憶装置において、

前記第 1 容量部及び前記第 2 容量部の各々は、前記第 1 絶縁膜の表面から前記第 1 絶縁膜中に延び、トレンチ構造を持つように形成されている

半導体記憶装置。

【請求項 1 8】 請求項 1 4 ～ 1 7 のいずれか一項に記載の半導体記憶装置において、

前記第 1 容量部は、前記第 1 ソース領域の垂直上方に形成され、

前記第 2 容量部は、前記第 2 ソース領域の垂直上方に形成されている

半導体記憶装置。

【請求項 1 9】 請求項 1 4 ～ 1 8 のいずれか一項に記載の半導体記憶装置において、

前記第 1 下部電極は、第 1 窒化チタン層と第 1 ドープトポリシリコン層の積層構造であり、

前記第 2 下部電極は、第 2 窒化チタン層と第 2 ドープトポリシリコン層の積層構造である

半導体記憶装置。

【請求項 2 0】 請求項 1 9 に記載の半導体記憶装置において、

前記第 1 窒化チタン層は、前記第 1 コンタクト部上に接続された第 2 底面部と、前記第 2 底面部の端から上方に前記第 1 絶縁膜の表面まで達しない所定の位置にまで延びる第 2 側壁外周部とからなり、

前記第 1 ドープトポリシリコン層は、前記第 2 底面部上に接続された第 3 底面部と、前記第 2 側壁外周部上に接続され、前記第 3 底面部の端から上方に前記第 1 絶縁膜の表面にまで延びる第 3 側壁外周部とからなり、

前記第 2 窒化チタン層は、前記第 2 コンタクト部上に接続された第 4 底面部と、前記第 4 底面部の端から上方に前記第 1 絶縁膜の表面まで達しない所定の位置にまで延びる第 4 側壁外周部とからなり、

前記第 2 ドープトポリシリコン層は、前記第 4 底面部上に接続された第 5 底面部と、前記第 4 側壁外周部上に接続され、前記第 5 底面部の端から上方に前記第 1 絶縁膜の表面にまで延びる第 5 側壁外周部とからなる

半導体記憶装置。

【請求項 2 1】 請求項 1 4 ～ 2 0 のいずれか一項に記載の半導体記憶装置において、

前記第 1 上部電極及び前記第 2 上部電極の各々は、窒化チタン層とドープトポリシリコン層の積層構造である

半導体記憶装置。

【請求項 2 2】 請求項 1 4 ～ 2 1 のいずれか一項に記載の半導体記憶装置において、

前記第 1 誘電体層及び前記第 2 誘電体層の各々は、高誘電体である

半導体記憶装置。

【請求項 2 3】 請求項 1 4 ～ 2 2 のいずれか一項に記載の半導体記憶装置において、

更に、

前記第 1 絶縁膜中で前記ドレイン領域から垂直上方に形成され、第 2 金属プラグ部を含む第 3 コンタクト部を具備する

半導体記憶装置。

【請求項 2 4】 請求項 2 3 に記載の半導体記憶装置において、

前記第 2 金属プラグ部は、第 6 底面部及び第 6 側壁外周部に形成された第 2 窒化チタン層と、前記第 2 窒化チタン層内に形成された第 2 タングステン層とを含む

半導体記憶装置。

【請求項 2 5】 請求項 1 4 ～ 2 4 のいずれか一項に記載の半導体記憶装置において、

更に、

前記第 1 容量部と前記第 2 容量部と前記第 1 絶縁膜とを覆う第 2 絶縁膜と、
前記第 1 絶縁膜中を前記第 2 絶縁膜の表面から前記第 3 コンタクト部まで延びる第 4 コンタクト部とを具備する

半導体記憶装置。

【請求項 2 6】 請求項 2 5 に記載の半導体記憶装置において、

前記第 3 コンタクト部及び前記第 4 コンタクト部は、ビット線として働く
半導体記憶装置。

【請求項 2 7】

(a) 半導体基板の表面部にゲート、ソース領域、ドレイン領域を有する MOS
トランジスタを形成するステップと、

(b) 前記 MOS トランジスタを覆う第 1 絶縁膜を形成するステップと、

(c) 前記第 1 絶縁膜に、前記ソース領域と接続された第 1 コンタクト部と、前
記ドレイン領域と接続された第 2 コンタクト部とを形成するステップと、

(d) 前記第 1 絶縁膜、前記第 1 コンタクト部、前記第 2 コンタクト部上に第 2
絶縁膜を形成するステップと、

(e) 前記第 2 絶縁膜の表面から前記第 1 コンタクト部に延び、前記第 1 コンタ
クト部と接続された容量部を形成するステップと

を具備する

半導体記憶装置の製造方法。

【請求項 2 8】 請求項 2 7 に記載の半導体記憶装置の製造方法において、

前記 (c) のステップは、

(f) 前記第 1 絶縁膜の表面から前記ソース領域に延びる第 1 コンタクトホール

と、前記第 1 絶縁膜の表面から前記ドレイン領域に延びる第 2 コンタクトホールとを同時に開口するステップと、

(g) 前記第 1 コンタクトホールと前記第 2 コンタクトホールの各々の第 1 底部部及び第 1 側壁外周部にバリアメタル層を同時に形成するステップと、

(h) 前記第 1 コンタクトホールと前記第 2 コンタクトホールの各々の前記バリアメタル層内に高融点金属層を同時に形成するステップと
を更に具備する

半導体記憶装置の製造方法。

【請求項 29】 請求項 27 又は 28 に記載の半導体記憶装置の製造方法において、

前記 (e) のステップは、

(i) 前記第 2 絶縁膜の表面から前記第 1 コンタクト部に延びる開口部を形成するステップと、

(j) 前記開口部に下部電極を形成するステップと、

(k) 前記下部電極上に誘電体層を形成するステップと、

(l) 前記誘電体層上に上部電極を形成するステップと
を更に具備する

半導体記憶装置の製造方法。

【請求項 30】 請求項 29 に記載の半導体記憶装置の製造方法において、

前記第 2 絶縁膜は、第 3 絶縁膜と第 4 絶縁膜とを有し、

前記 (i) のステップは、

(m) 前記第 1 絶縁膜、前記第 1 コンタクト部、前記第 2 コンタクト部を覆う前記第 3 絶縁膜を形成するステップと、

(n) 前記第 3 絶縁膜上に前記第 4 絶縁膜を形成するステップと、

(o) エッチングにより、前記第 4 絶縁膜の表面から前記第 3 絶縁膜の表面まで前記第 1 コンタクト部の垂直上方方向に開口部分を形成するステップと、

(p) 前記開口部分が前記第 1 コンタクト部に達し、前記開口部が形成されるように前記第 3 絶縁膜をエッチングするステップと

を更に具備する

半導体記憶装置の製造方法。

【請求項 3 1】 請求項 3 0 に記載の半導体記憶装置の製造方法において、

前記 (j) のステップは、

(q) 前記開口部に、前記第 1 コンタクト部上に接続された第 2 底面部と、前記第 2 底面部の端から上方に前記第 4 絶縁膜の表面にまで延びる第 2 側壁外周部とからなる第 1 メタル層を形成するステップと、

(r) 前記第 2 底面部上に接続された第 3 底面部と、前記第 2 側壁外周部上に接続され、前記第 3 底面部の端から上方に前記第 4 絶縁膜の表面にまで延びる第 3 側壁外周部とからなるシリコン層を形成するステップと、

(s) CF_4 ガス雰囲気によって、前記第 2 底面部の端から上方に前記第 4 絶縁膜の表面まで達しない所定の位置にまで延びる第 4 側壁外周部と、前記第 2 底面部とからなる第 2 メタル層が形成されるように、前記第 1 メタル層の前記第 2 側壁外周部を選択的にエッチングするステップと

を更に具備する

半導体記憶装置の製造方法。

【請求項 3 2】 請求項 3 0 又は 3 1 に記載の半導体記憶装置の製造方法において、

前記第 3 絶縁膜は、エッチングストッパとして働く

半導体記憶装置の製造方法。

【請求項 3 3】 請求項 2 7 ～ 3 2 のいずれか一項に記載の半導体記憶装置の製造方法において、

(t) 前記容量部と前記第 2 絶縁膜を覆う第 5 絶縁膜を形成するステップと、

(u) 前記第 2 絶縁膜中を前記第 5 絶縁膜の表面から前記第 2 コンタクト部まで延びる第 3 コンタクト部を形成するステップと

を更に具備する

半導体記憶装置の製造方法。

【請求項 3 4】 請求項 2 7 ～ 3 3 のいずれか一項に記載の半導体記憶装置の製造方法において、

前記半導体記憶装置の前記半導体基板の表面部には、周辺ロジック部のゲート

、ソース領域、ドレイン領域を有するロジック部トランジスタが形成され、前記ロジック部トランジスタは、前記第 1 絶縁膜に覆われ、

(v) 前記第 1 絶縁膜に、前記第 1 コンタクト部と、前記第 2 コンタクト部と、前記周辺ロジック部のソース領域と接続された第 1 ソースコンタクト部と、前記周辺ロジック部のドレイン領域と接続された第 1 ドレインコンタクト部とを同時に形成するステップ

を更に具備する

半導体記憶装置の製造方法。

【請求項 3 5】 請求項 3 4 に記載の半導体記憶装置の製造方法において、

(w) 前記第 1 絶縁膜と前記第 1 ソースコンタクト部と前記第 2 ドレインコンタクト部とを覆う第 6 絶縁膜を形成するステップと、

(x) 前記第 3 コンタクト部と、前記第 6 絶縁膜中を前記第 6 絶縁膜の表面から前記第 1 ソースコンタクト部まで延びる第 2 ソースコンタクト部と、前記第 6 絶縁膜中を前記第 6 絶縁膜の表面から前記第 1 ドレインコンタクト部まで延びる第 2 ドレインコンタクト部とを同時に形成するステップと

を更に具備する

半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置（D R A M）に関し、特に D R A M のメモリセルの構造および製造方法に関する。

【0 0 0 2】

【従来の技術】

一般的に半導体記憶装置である D R A M のメモリセルは、1 つの容量部（キャパシタ）と 1 つのトランジスタによって構成されている。従来の半導体記憶装置（D R A M）について図 1 6 を参照しながら説明する。

【0 0 0 3】

図 1 6 は、従来の半導体記憶装置の構造を示す断面図である。

【 0 0 0 4 】

図 1 6 に示されるように、P 型シリコン基板 1 0 0 の表面部には、拡散層領域が形成される。この P 型シリコン基板 1 0 0 の表面部には、STI 素子分離酸化膜 1 0 1、LDD (l i g h t l y d o p e d d r a i n) 1 1 1、LDD 1 1 1'、N 型のソース拡散層 1 1 3 が 2 つずつ形成されている。STI 素子分離酸化膜 1 0 1 は、隣り合う拡散層領域と電氣的に絶縁するものである。尚、LDD 1 1 1 と LDD 1 1 1' は、一工程で形成される。STI 素子分離酸化膜 1 0 1 とソース拡散層 1 1 3 は互いに接続されている。LDD 1 1 1 とソース拡散層 1 1 3 は互いに接続されている。ソース拡散層 1 1 3 の表面部には、コバルトシリサイド膜 1 3 2 が形成されている。また、P 型シリコン基板 1 0 0 の表面部には、N 型のドレイン拡散層 1 1 4 が形成されている。上述した LDD 1 1 1' のうち一方の LDD 1 1 1' とドレイン拡散層 1 1 4 は、互いに接続されている。また、他方の LDD 1 1 1' とドレイン拡散層 1 1 4 は、互いに接続されている。ドレイン拡散層 1 1 4 の表面部には、コバルトシリサイド膜 1 3 2' が形成されている。尚、コバルトシリサイド膜 1 3 2 とコバルトシリサイド膜 1 3 2' は、一工程で形成される。STI 素子分離酸化膜 1 0 1 とコバルトシリサイド膜 1 3 2 の表面上には、ダイレクト窒化膜 1 1 5 が形成されている。

【 0 0 0 5 】

P 型シリコン基板 1 0 0 の表面上には、ゲート酸化膜 1 1 0 が形成されている。ゲート酸化膜 1 1 0 の表面上には、ワード線となるゲート 1 0 3 が形成されている。ゲート 1 0 3 の表面部には、コバルトシリサイド膜 1 3 3 が形成されている。LDD 1 1 1 及び LDD 1 1 1' の表面上には、サイドウォール 1 1 2 が形成されている。サイドウォール 1 1 2 は、LDD 1 1 1、LDD 1 1 1'、ゲート 1 0 3、コバルトシリサイド膜 1 3 3 と接続されている。コバルトシリサイド膜 1 3 2、サイドウォール 1 1 2、コバルトシリサイド膜 1 3 3、コバルトシリサイド膜 1 3 2' の表面上には、ダイレクト窒化膜 1 1 5' が形成されている。尚、ダイレクト窒化膜 1 1 5 とダイレクト窒化膜 1 1 5' は、一工程で形成される。これにより、P 型シリコン基板 1 0 0 の表面部及び表面上には、MOS トランジスタが形成される。また、ダイレクト窒化膜 1 1 5、ダイレクト窒化膜 1 1

5' の表面上には、上述したMOSトランジスタを覆う埋め込み酸化膜116が形成されている。

【0006】

ソース拡散層113の表面部に形成されたコバルトシリサイド膜132の表面上には、埋め込み酸化膜116の表面にまで垂直方向に延びる容量コンタクト104が形成されている。この容量コンタクト104は、ポリシリコン層105により形成されている。埋め込み酸化膜116の表面上には、酸化膜122が形成されている。容量コンタクト104の垂直上方方向には、容量コンタクト104の表面に接続された底面部と、その底面部の端から上方に酸化膜122の表面にまで延びる側壁外周部とからなる下部電極が形成されている。この下部電極は、ポリシリコン層106により形成されている。下部電極（ポリシリコン）106上と酸化膜122の表面上には、誘電体層として Ta_2O_5 容量膜107が形成されている。 Ta_2O_5 容量膜107の表面上には、上部電極が形成されている。この上部電極は、 Ta_2O_5 容量膜107の表面に形成された窒化チタン層108と、窒化チタン層108の表面に形成されたポリシリコン層109とにより形成されている。このように、容量コンタクト104の上部には、上部電極、誘電体層、下部電極により容量部が構成される。また、酸化膜122、容量部の表面上には、上述した容量部を覆うように酸化膜135が形成されている。

【0007】

また、ドレイン拡散層114の表面部に形成されたコバルトシリサイド膜132'の表面上には、コバルトシリサイド膜132'の表面から埋め込み酸化膜116と酸化膜122と酸化膜135とを貫通して酸化膜135の表面にまで垂直方向に達するビットコンタクト102が形成されている。上述した拡散層領域は、このビットコンタクト102により2つのメモリセル領域に分けられる。このビットコンタクト102にはタングステンが埋め込まれている。また、ビットコンタクト102の上部には、酸化膜135の表面に沿う方向に延びるビット線131が接続されている。このビット線131は、窒化チタンにより構成されている。また、ビットコンタクト102は、ビット線131に中継するためのビット線として働く。

【 0 0 0 8 】

これにより、P型シリコン基板100の表面部には、拡散層領域が形成される。この拡散層領域はSTI酸化膜101により、隣り合う拡散層領域と電氣的に絶縁されている。この拡散層領域は、1つのビットコンタクト102により、2つのメモリセル領域に分けられている。従来の半導体記憶装置は、断面構造で見ると拡散層内のビットコンタクト102の両側にワード線となるゲート103を有している。また、従来の半導体記憶装置は、ビットコンタクト102を中心としてゲート103の遠方に容量部と接続するための容量コンタクト104を有している。従来の半導体記憶装置は、1つの拡散層領域内に、1つのビットコンタクト102と、2つのゲート103、2つの容量コンタクト104を有することにより、2つのメモリセル部を形成している。次に、容量部は、容量コンタクト104をポリシリコン層105で形成し、下部電極をポリシリコン層106、容量膜を Ta_2O_5 107、上部電極を窒化チタン層108とポリシリコン層109で構成している。上部電極はプレート（窒化チタン層108、ポリシリコン層109）と呼ばれ、全てのメモリセルと同電位を保つ。

【 0 0 0 9 】

次に、前述した従来の半導体記憶装置の形成方法について図16を参照しながら説明する。

【 0 0 1 0 】

まず、P型シリコン基板100には、STI酸化膜101が形成される。次に、拡散層領域にはイオン注入によってウェルが形成される。その後、形成されたウェルには、ゲート酸化膜110、ゲート103用のポリシリコンが順に形成される。ゲート103の両端には、サイドウォール112が形成される。ゲート103とサイドウォール112以外の拡散層領域には、イオン注入によって、ソース拡散層113、ドレイン拡散層114が形成される。次に、ゲート103、ソース拡散層113、ドレイン拡散層114は、コバルトシリサイド化される。次いで、ゲート103の表面部にはコバルトシリサイド膜133が形成され、ソース拡散層113の表面にはコバルトシリサイド膜132が形成され、ドレイン拡散層114の表面部にはコバルトシリサイド膜132'が形成される。

【0011】

次に、STI素子分離酸化膜101、コバルトシリサイド膜132、サイドウォール112、コバルトシリサイド膜133、コバルトシリサイド膜132'の表面には、ダイレクト窒化膜(115、115')が形成される。この場合、STI素子分離酸化膜1とコバルトシリサイド膜132の表面は、ダイレクト窒化膜115によって覆われる。コバルトシリサイド膜132、サイドウォール112、コバルトシリサイド膜133、コバルトシリサイド膜132'の表面は、ダイレクト窒化膜115'によって覆われる。さらに、ダイレクト窒化膜115、ダイレクト窒化膜115'の表面上には、埋め込み酸化膜116が形成され、MOSトランジスタは、埋め込み酸化膜116によって覆われる。

【0012】

次に、ソース拡散層113の表面部に形成されたコバルトシリサイド膜132の表面上には、コバルトシリサイド膜132の表面から埋め込み酸化膜116の表面にまでソース拡散層113の垂直上方方向に延びる、容量部と接続するための容量コンタクト104が形成される。容量コンタクト104はポリシリコン層105で埋め込まれる。埋め込み酸化膜116、容量コンタクト104の表面上には、酸化膜122が形成される。容量コンタクト104には、酸化膜122を除去し、埋め込み酸化膜116を部分的に除去し、容量コンタクト104上に形成された底面部と、その底面部の端から上方に酸化膜122の表面にまで延びる側壁外周部とからなる下部電極用のポリシリコン層106が、容量コンタクト104の垂直上方方向に形成される。このポリシリコン層106の表面をHSG化させ、エッチバックすることで下部電極(ポリシリコン層)106が形成される。その後、下部電極(ポリシリコン層)106上、酸化膜122の一部の表面上には、誘電体層として Ta_2O_5 容量膜107が形成される。 Ta_2O_5 容量膜107上には上部電極として窒化チタン層108、ポリシリコン層109が積層される。下部電極、誘電体層、上部電極は、容量部を構成する。また、酸化膜122、容量部の表面上には、酸化膜122、容量部を覆う酸化膜135が形成される。

【0013】

次に、ドレイン拡散層 1 1 4 の表面部に形成されたコバルトシリサイド膜 1 3 2' の表面上には、コバルトシリサイド膜 1 3 2' の表面から埋め込み酸化膜 1 1 6 と酸化膜 1 2 2 と酸化膜 1 3 5 とを貫通して酸化膜 1 3 5 の表面上にまで垂直方向に達するビットコンタクト 1 0 2 が形成される。ビットコンタクト 1 0 2 には、タングステンが埋め込まれる。ビットコンタクト 1 0 2 の上部には、酸化膜 1 3 5 の表面に沿う方向に延びるビット線 1 3 1 が形成される。従来の半導体記憶装置は、このような形成方法により、メモリセルを形成する。

【 0 0 1 4 】

従来の半導体記憶装置は、容量部に蓄積された電荷が下部電極（ポリシリコン層） 1 0 6、容量コンタクト 1 0 4、トランジスタのソース拡散層 1 1 3、チャネル、ドレイン拡散層 1 1 4、ビットコンタクト 1 0 2、ビット線 1 3 1 の順に通過することにより、電氣的に動作している。しかし、従来の半導体記憶装置は、高速動作を求めた場合、電荷のパスの電気抵抗で決まり、特に電気抵抗の高い部分で速度が律速されてしまう。現在、従来の半導体記憶装置は、容量コンタクト 1 0 4 とソース拡散層 1 1 3 の接触抵抗、ポリシリコン層 1 0 5 による容量コンタクト 1 0 4 の抵抗、ポリシリコンによる下部電極 1 0 6 の抵抗が高いことが問題となっている。したがって、高速動作には、上述したパスの低抵抗化が求められ、なかでも最も抵抗の大きい、ポリシリコンで形成された容量コンタクト部（容量コンタクト 1 0 4）のメタルコンタクト化、および、下部電極 1 0 6 の低抵抗化が必要とされている。

【 0 0 1 5 】

また、図 1 6 に示されるように、ビットコンタクト 1 0 2 は、容量部の形成後、高いアスペクト比で開口しなければならず、エッチングが困難である。

【 0 0 1 6 】

また、再特 W O 9 8 / 0 2 8 7 9 5 号公報では、メモリセルおよびその周辺回路を含み、高集積度かつ高信頼性を有する“半導体記憶装置”が知られている。この半導体記憶装置は、半導体基板一主面に設けた第 1 のトランジスタを含むメモリセル領域と、互いに導電型の異なる第 2 のトランジスタならびに第 3 のトランジスタを含む論理回路領域とを有する半導体記憶装置において、第 1 のラン

ジスタと第2のトランジスタと第3のトランジスタ上の第1の絶縁膜主面には、第1の金属からなる第1の配線がメモリセル領域と論理回路領域にそれぞれ形成され、第1の配線と、第1、第2ならびに第3のトランジスタとの接続が、第1の絶縁膜を貫く開口内に設けられた第1の胴体を含む接続体によって成されていることを特徴としている。

【0017】

また、特開2000-114475号公報では、電解効果トランジスタおよびスタックトキャパシタを有するメモリセルにおいて、サイズが小さく高密度なキャパシタを形成する工程における困難を取り除く“スタックトキャパシタメモリセルおよびその製造方法”が開示されている。このスタックトキャパシタメモリセルおよびその製造方法は、半導体本体およびキャパシタを含むメモリセルにおいて、半導体本体は、その上部表面の一部に一方の導電型の第1および第2の領域を有し、該領域は他方の導電型の中間領域で隔てられてトランジスタを形成し、キャパシタは第1の領域上に形成され、キャパシタは、第1の領域と電気的な接続を形成する導電性プラグと、プラグ上に拡散障壁を形成する導電層と、障壁層上において、プラグを覆うように配設された誘電体層部分と、少なくとも誘電体層部分の側壁上に形成され、障壁層と電気的に接続されており、キャパシタの内部電極として機能する第1の金属層と、誘電体層部分の上部および側壁表面上に配設され、キャパシタの外部電極として機能する第2の金属層とを含む、ことを特徴としている。

【0018】

また、特開2000-156479号公報では、MIM構造のシリンダ型キャパシタを有する半導体記憶装置において、電極側壁部の密着層あるいはバリア層に起因する容量損失や接合リークが防止され、かつシリコンと電極材料との反応が防止された“半導体記憶装置およびその製造方法”が開示されている。この半導体記憶装置およびその製造方法は、能動素子が形成された半導体基板と、半導体基板上に形成された層間絶縁膜と、層間絶縁膜に設けられた、能動素子の表面まで達するコンタクトホールと、コンタクトホール内に形成された、導電体からなるプラグと、層間絶縁膜の表面に、少なくともプラグの上部を被覆するように

形成されたバリア層と、バリア層上部に形成された底面と、底面の端部から上方に形成された側面からなるトレンチ構造をもつ下部電極と、下部電極の表面に形成された、誘電体からなるキャパシタ絶縁膜と、キャパシタ絶縁膜の表面に形成された上部電極とを有している。

【 0 0 1 9 】

また、特開平 1 1 - 2 1 4 6 4 4 号公報では、情報蓄積用容量素子の容量絶縁膜を高誘電体材料で構成した D R A M において、容量絶縁膜を形成する際に行われる高温の熱処理に起因して下層の配線が絶縁膜の表面から剥離する不良を防止する“半導体集積回路装置およびその製造方法”が開示されている。この半導体集積回路装置およびその製造方法は、半導体基板の主面上に形成された酸化シリコン系の第 1 絶縁膜の上部に、少なくともその一部が第 1 絶縁膜と接するように延在する配線が形成され、配線の上部に形成された第 2 絶縁膜の上部に、少なくともその一部が高誘電体膜で構成された容量絶縁膜を有する容量素子が形成された半導体集積回路装置であって、配線を構成する導電膜は、少なくとも第 1 絶縁膜と界面を接する部分が、チタンを除いた高融点金属、または高融点金属の窒化物からなることを特徴としている。

【 0 0 2 0 】

【発明が解決しようとする課題】

D R A M の高速動作において、セル・トランジスタのソース部（ソース拡散層）と容量部の電極をつなぐ部分の抵抗が大きいと、問題となっている。主にその原因は、コンタクト部にポリシリコンプラグを用いていることにある。具体的には、コバルトシリサイド化されたソース部とコンタクト部・ポリシリコンプラグとの接触抵抗、および、ポリシリコン自体によるコンタクトプラグの抵抗等が挙げられる。

【 0 0 2 1 】

また、ビットコンタクトは、シリンダー容量部と容量コンタクト部との高さ分の合計よりも深いアスペクト比のコンタクトホールを開口させる必要性があり、エッチングプロセスが困難であるという問題も挙げられる。

【 0 0 2 2 】

本発明の目的は、低消費電力化に寄与し、高速動作を実現可能とする半導体記憶装置及びその製造方法を提供することにある。

【 0 0 2 3 】

本発明の他の目的は、容量コンタクト部、ビットコンタクト部を同時に開口することで生産性が向上する半導体記憶装置及びその製造方法を提供することにある。

【 0 0 2 4 】

本発明の更に他の目的は、ビットコンタクトエッチのアスペクト比を小さくすることができ、エッチングによる加工を容易にすることができる半導体記憶装置及びその製造方法を提供することにある。

【 0 0 2 5 】

【課題を解決するための手段】

以下に、〔発明の実施の形態〕で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、〔特許請求の範囲〕の記載と〔発明の実施の形態〕の記載との対応関係を明らかにするために付加されたものであるが、〔特許請求の範囲〕に記載されている発明の技術的範囲の解釈に用いてはならない。

【 0 0 2 6 】

本発明による半導体記憶装置は、MOSトランジスタと、第1絶縁膜（16、21、22）と、容量部と、第1コンタクト部（17'）とを具備する。MOSトランジスタは、半導体基板（50）の表面部に形成され、ゲート（10）、ソース領域（13）、ドレイン領域（14）を有する。第1絶縁膜（16、21、22）はMOSトランジスタを覆う。容量部は、第1絶縁膜（16、21、22）に形成され、下部電極（6）と、下部電極（6）上に形成された誘電体層と、誘電体層上に形成された上部電極（8）とを有する。第1コンタクト部（17'）は、第1絶縁膜（16、21、22）中に形成され、下部電極（6）からソース領域（13）に延びている。この第1コンタクト部（17'）は、第1金属プラグ部を含む。

【 0 0 2 7 】

また、第1金属プラグ部は、第1底面部（19-1）及び第1側壁外周部（19-2）に形成されたバリアメタル層と、バリアメタル層内に形成された高融点金属層とを含む。バリアメタル層は、第1窒化チタン層（19）であり、高融点金属層は、第1タングステン層（20）である。

【0028】

また、容量部は、第1絶縁膜（16、21、22）の表面から第1絶縁膜（16、21、22）中に延び、トレンチ構造を持つように形成され、ソース領域（13）の垂直上方に形成されている。

【0029】

容量部の下部電極（6）は、窒化チタン層（23）とドーフトポリシリコン層（25）の積層構造である。

【0030】

窒化チタン層（23）は、第1コンタクト部（17'）上に接続された第2底面部（23-1）と、第2底面部（23-1）の端から上方に第1絶縁膜（16、21、22）の表面まで達しない所定の位置（図10のP1）にまで延びる第2側壁外周部（23-3）とからなる。ドーフトポリシリコン層（25）は、第2底面部（23-1）上に接続された第3底面部（25-1）と、第2側壁外周部（23-3）上に接続され、第3底面部（25-1）の端から上方に第1絶縁膜（16、21、22）の表面にまで延びる第3側壁外周部（25-2）とからなる。

【0031】

容量部の上部電極（8）は、窒化チタン層（28）とドーフトポリシリコン層（29）の積層構造である。

【0032】

容量部の誘電体層は、高誘電体（27）である。

【0033】

本発明による半導体記憶装置は、更に、第1絶縁膜（16、21、22）中でドレイン領域（14）から垂直上方に形成され、第2金属プラグ部を含む第2コンタクト部（18'）を具備する。

【 0 0 3 4 】

また、第 2 金属プラグ部は、第 4 底面部（19-3）及び第 4 側壁外周部（19-4）に形成された第 2 窒化チタン層（19）と、第 2 窒化チタン層（19）内に形成された第 2 タングステン層（20）とを含む。

【 0 0 3 5 】

本発明による半導体記憶装置は、更に、容量部と第 1 絶縁膜（16、21、22）とを覆う第 2 絶縁膜（35）と、第 1 絶縁膜（16、21、22）中を第 2 絶縁膜（35）の表面から第 2 コンタクト部（18'）まで延びる第 3 コンタクト部（30）とを具備する。

【 0 0 3 6 】

第 2 コンタクト部（18'）及び第 3 コンタクト部（30）は、ビット線として働く。

【 0 0 3 7 】

本発明による半導体記憶装置は、第 1 MOS トランジスタと、第 2 MOS トランジスタと、第 1 絶縁膜（16、21、22）と、第 1 容量部と、第 2 容量部と、第 1 コンタクト部（17'）と、第 2 コンタクト部（17'）とを具備する。第 1 MOS トランジスタは、半導体基板（50）の第 1 表面部に形成され、第 1 ゲート（10）、第 1 ソース領域（13）、ドレイン領域（14）を有する。第 2 MOS トランジスタは、半導体基板（50）の第 2 表面部に形成され、第 2 ゲート（10）、第 2 ソース領域（13）、ドレイン領域（14）を有する。ドレイン領域（14）は、第 1 MOS トランジスタと第 2 MOS トランジスタで共用されている。第 1 絶縁膜（16、21、22）は、第 1 MOS トランジスタと第 2 MOS トランジスタとを覆う。第 1 容量部は、第 1 絶縁膜（16、21、22）にトレンチ構造を持つように形成され、第 1 下部電極（6）と、第 1 下部電極（6）上に形成された第 1 誘電体層と、第 1 誘電体層上に形成された第 1 上部電極（8）とを有する。第 2 容量部は、第 1 絶縁膜（16、21、22）にトレンチ構造を持つように形成され、第 2 下部電極（6）と、第 2 下部電極（6）上に形成された第 2 誘電体層と、第 2 誘電体層上に形成された第 2 上部電極（8）とを有する。第 1 コンタクト部（17'）は、第 1 絶縁膜（16、21、22）中

に形成され、第1下部電極(6)から第1ソース領域(13)に延びている。第2コンタクト部(17')は、第1絶縁膜(16、21、22)中に形成され、第2下部電極(6)から第2ソース領域(13)に延びている。第1コンタクト部(17')及び第2コンタクト部(17')の各々は、第1金属プラグ部を含む。

【0038】

また、第1金属プラグ部は、第1底面部(19-1)及び第1側壁外周部(19-2)に形成されたバリアメタル層と、バリアメタル層内に形成された高融点金属層とを含む。バリアメタル層は、第1窒化チタン層(19)であり、高融点金属層は、第1タングステン層(20)である。

【0039】

また、第1容量部及び第2容量部の各々は、第1絶縁膜(16、21、22)の表面から第1絶縁膜(16、21、22)中に延び、トレンチ構造を持つように形成されている。

【0040】

第1容量部は、第1ソース領域(13)の垂直上方に形成されている。第2容量部は、第2ソース領域(13)の垂直上方に形成されている。

【0041】

第1下部電極(6)及び第2下部電極(6)の各々は、窒化チタン層(23)とドーフトポリシリコン層(25)の積層構造である。

【0042】

第1窒化チタン層(23)は、第1コンタクト部(17')上に接続された第2底面部(23-1)と、第2底面部(23-1)の端から上方に第1絶縁膜(16、21、22)の表面まで達しない所定の位置(図10のP1)にまで延びる第2側壁外周部(23-3)とからなる。第1ドーフトポリシリコン層(25)は、第2底面部(23-1)上に接続された第3底面部(25-1)と、第2側壁外周部(23-3)上に接続され、第3底面部(25-1)の端から上方に第1絶縁膜(16、21、22)の表面にまで延びる第3側壁外周部(25-2)とからなる。第2窒化チタン層(23)は、第2コンタクト部(17')上に

接続された第4底面部（23-1）と、第4底面部（23-1）の端から上方に第1絶縁膜（16、21、22）の表面まで達しない所定の位置（図10のP1）にまで延びる第4側壁外周部（23-3）とからなる。第2ドーフトポリシリコン層（25）は、第4底面部（23-1）上に接続された第5底面部（25-1）と、第4側壁外周部（23-3）上に接続され、第5底面部（25-1）の端から上方に第1絶縁膜（16、21、22）の表面にまで延びる第5側壁外周部（25-2）とからなる。

【0043】

第1上部電極（8）及び第2上部電極（8）の各々は、窒化チタン層（28）とドーフトポリシリコン層（29）の積層構造である。

【0044】

第1誘電体層及び第2誘電体層の各々は、高誘電体（27）である。

【0045】

本発明による半導体記憶装置は、更に、第1絶縁膜（16、21、22）中でドレイン領域（14）から垂直上方に形成され、第2金属プラグ部を含む第3コンタクト部（18'）を具備している。

【0046】

また、第2金属プラグ部は、第6底面部（19-3）及び第6側壁外周部（19-4）に形成された第2窒化チタン層（19）と、第2窒化チタン層（19）内に形成された第2タングステン層（20）とを含む。

【0047】

本発明による半導体記憶装置は、更に、第1容量部と第2容量部と第1絶縁膜（16、21、22）とを覆う第2絶縁膜（35）と、第1絶縁膜（16、21、22）中を第2絶縁膜（35）の表面から第3コンタクト部（18'）まで延びる第4コンタクト部（30）とを具備している。

【0048】

第3コンタクト部（18'）及び第4コンタクト部（30）は、ビット線として働く。

【0049】

本発明による半導体記憶装置の製造方法によれば、(a) 半導体基板(50)の表面部にゲート(10)、ソース領域(13)、ドレイン領域(14)を有するMOSトランジスタを形成するステップと、(b) MOSトランジスタを覆う第1絶縁膜(16)を形成するステップと、(c) 第1絶縁膜(16)に、ソース領域(13)と接続された第1コンタクト部(17')と、ドレイン領域(14)と接続された第2コンタクト部(18')とを形成するステップと、(d) 第1絶縁膜(16)、第1コンタクト部(17')、第2コンタクト部(18')上に第2絶縁膜(21、22)を形成するステップと、(e) 第2絶縁膜(21、22)の表面から第1コンタクト部(17')に延び、第1コンタクト部(17')と接続された容量部を形成するステップとを具備する。

【0050】

本発明による半導体記憶装置の製造方法によれば、(c)のステップは、(f) 第1絶縁膜(16)の表面からソース領域(13)に延びる第1コンタクトホール(17)と、第1絶縁膜(16)の表面からドレイン領域(14)に延びる第2コンタクトホール(18)とを同時に開口するステップと、(g) 第1コンタクトホール(17)と第2コンタクトホール(18)の各々の第1底面部及び第1側壁外周部にバリアメタル層を同時に形成するステップと、(h) 第1コンタクトホール(17)と第2コンタクトホール(18)の各々のバリアメタル層内に高融点金属層を同時に形成するステップとを更に具備する。

【0051】

本発明による半導体記憶装置の製造方法によれば、(e)のステップは、(i) 第2絶縁膜(21、22)の表面から第1コンタクト部(17')に延びる開口部(34)を形成するステップと、(j) 開口部(34)に下部電極(6)を形成するステップと、(k) 下部電極(6)上に誘電体層を形成するステップと、(l) 誘電体層上に上部電極(8)を形成するステップとを更に具備する。

【0052】

本発明による半導体記憶装置の製造方法によれば、第2絶縁膜(21、22)は、第3絶縁膜(21)と第4絶縁膜(22)とを有する。(i)のステップは、(m) 第1絶縁膜(16)、第1コンタクト部(17')、第2コンタクト部

(18') を覆う第3絶縁膜(21)を形成するステップと、(n)第3絶縁膜(21)上に第4絶縁膜(22)を形成するステップと、(o)エッチングにより、第4絶縁膜(22)の表面から第3絶縁膜(21)の表面まで第1コンタクト部(17')の垂直上方方向に開口部分を形成するステップと、(p)開口部分が第1コンタクト部(17')に達し、開口部(34)が形成されるように第3絶縁膜(21)をエッチングするステップとを更に具備する。

【0053】

本発明による半導体記憶装置の製造方法によれば、(j)のステップは、(q)開口部(34)に、第1コンタクト部(17')上に接続された第2底面部(23-1)と、第2底面部(23-1)の端から上方に第4絶縁膜(22)の表面にまで延びる第2側壁外周部(23-2)とからなる第1メタル層(23)を形成するステップと、(r)第2底面部(23-1)上に接続された第3底面部(25-1)と、第2側壁外周部(23-2)上に接続され、第3底面部(25-1)の端から上方に第4絶縁膜(22)の表面にまで延びる第3側壁外周部(25-2)とからなるシリコン層(25)を形成するステップと、(s)CF₄ガス雰囲気によって、第2底面部(23-1)の端から上方に第4絶縁膜(22)の表面まで達しない所定の位置(図10のP1)にまで延びる第4側壁外周部(23-3)と、第2底面部(23-1)とからなる第2メタル層(23)が形成されるように、第1メタル層(23)の第2側壁外周部(23-2)を選択的にエッチングするステップとを更に具備する。

【0054】

本発明による半導体記憶装置の製造方法によれば、第3絶縁膜(21)は、エッチングストップとして働く。

【0055】

本発明による半導体記憶装置の製造方法によれば、(t)容量部と第2絶縁膜(21、22)を覆う第5絶縁膜(35)を形成するステップと、(u)第2絶縁膜(21、22)中を第5絶縁膜(35)の表面から第2コンタクト部(18')まで延びる第3コンタクト部(30)を形成するステップとを更に具備する。

【 0 0 5 6 】

本発明による半導体記憶装置の製造方法によれば、半導体記憶装置の半導体基板（50）の表面部には、周辺ロジック部のゲート（10）、ソース領域（13）、ドレイン領域（14）を有するロジック部トランジスタが形成され、ロジック部トランジスタは、第1絶縁膜（16）に覆われ、（v）第1絶縁膜（16）に、第1コンタクト部（17'）と、第2コンタクト部（18'）と、周辺ロジック部のソース領域（13）と接続された第1ソースコンタクト部（17'）と、周辺ロジック部のドレイン領域（14）と接続された第1ドレインコンタクト部（18'）とを同時に形成するステップを更に具備する。

【 0 0 5 7 】

本発明による半導体記憶装置の製造方法によれば、（w）第1絶縁膜（16）と第1ソースコンタクト部（17'）と第2ドレインコンタクト部（18'）とを覆う第6絶縁膜（62）を形成するステップと、（x）第3コンタクト部（30）と、第6絶縁膜（62）中を第6絶縁膜（62）の表面から第1ソースコンタクト部（17'）まで延びる第2ソースコンタクト部（63）と、第6絶縁膜（62）中を第6絶縁膜（62）の表面から第1ドレインコンタクト部（18'）まで延びる第2ドレインコンタクト部（60）とを同時に形成するステップとを更に具備する。

【 0 0 5 8 】

【発明の実施の形態】

添付図面を参照して、本発明による半導体記憶装置（DRAM）の実施の形態を以下に説明する。

【 0 0 5 9 】

（実施の形態1）

図1は、本実施の形態1に係る半導体記憶装置の構造を示す断面図である。

【 0 0 6 0 】

図1に示されるように、P型シリコン基板50の表面部には、拡散層領域が形成される。このP型シリコン基板50の表面部には、STI素子分離酸化膜1、LDD（lightly doped drain）11、LDD11'、N型

のソース拡散層 1 3 が 2 つずつ形成されている。STI 素子分離酸化膜 1 は、隣り合う拡散層領域と電氣的に絶縁するものである。尚、LDD 1 1 と LDD 1 1' は、一工程で形成される。STI 素子分離酸化膜 1 とソース拡散層 1 3 は互いに接続されている。LDD 1 1 とソース拡散層 1 3 は互いに接続されている。ソース拡散層 1 3 の表面部には、ソース拡散層 1 3 の表面部をコバルトシリサイド化したコバルトシリサイド膜 3 2 が形成されている。また、P 型シリコン基板 5 0 の表面部には、N 型のドレイン拡散層 1 4 が形成されている。上述した LDD 1 1' のうち一方の LDD 1 1' とドレイン拡散層 1 4 は、互いに接続されている。また、他方の LDD 1 1' とドレイン拡散層 1 4 は、互いに接続されている。ドレイン拡散層 1 4 の表面部には、ドレイン拡散層 1 4 の表面部をコバルトシリサイド化したコバルトシリサイド膜 3 2' が形成されている。尚、コバルトシリサイド膜 3 2 とコバルトシリサイド膜 3 2' は、一工程で形成される。STI 素子分離酸化膜 1 とコバルトシリサイド膜 3 2 の表面上には、ダイレクト窒化膜 1 5 が形成されている。

【 0 0 6 1 】

P 型シリコン基板 5 0 の表面上には、ゲート酸化膜 9 が形成されている。ゲート酸化膜 9 の表面上には、ワード線となるゲート 1 0 が形成されている。ゲート 1 0 の表面部には、ゲート 1 0 の表面部をコバルトシリサイド化したコバルトシリサイド膜 3 3 が形成されている。LDD 1 1 及び LDD 1 1' の表面上には、サイドウォール 1 2 が形成されている。サイドウォール 1 2 は、LDD 1 1、LDD 1 1'、ゲート 1 0、コバルトシリサイド膜 3 3 と接続されている。コバルトシリサイド膜 3 2、サイドウォール 1 2、コバルトシリサイド膜 3 3、コバルトシリサイド膜 3 2' の表面上には、ダイレクト窒化膜 1 5' が形成されている。尚、ダイレクト窒化膜 1 5 とダイレクト窒化膜 1 5' は、一工程で形成される。これにより、P 型シリコン基板 5 0 の表面部及び表面上には、MOS トランジスタが形成される。また、ダイレクト窒化膜 1 5、ダイレクト窒化膜 1 5' の表面上には、上述した MOS トランジスタを覆う埋め込み酸化膜 1 6 が形成されている。

【 0 0 6 2 】

ソース拡散層 1 3 の表面部に形成されたコバルトシリサイド膜 3 2 の表面上には、コバルトシリサイド膜 3 2 の表面から埋め込み酸化膜 1 6 の表面にまでソース拡散層 1 3 の垂直上方方向に延びるコンタクト部メタルプラグ 1 7' が形成されている。ドレイン拡散層 1 4 の表面部に形成されたコバルトシリサイド膜 3 2' の表面上には、コバルトシリサイド膜 3 2' の表面から埋め込み酸化膜 1 6 の表面にまでソース拡散層 1 3 の垂直上方方向に延びるコンタクト部メタルプラグ 1 8' が形成されている。このコンタクト部メタルプラグ 1 7' 及びコンタクト部メタルプラグ 1 8' は、バリアメタル層となる窒化チタン層 1 9、高融点金属のタングステン層 2 0 からなる。コンタクト部メタルプラグ 1 7' の窒化チタン層 1 9 は、コバルトシリサイド膜 3 2 上に接続された底面部 1 9 - 1 と、その底面部 1 9 - 1 の端から上方に埋め込み酸化膜 1 6 の表面にまで延びる側壁外周部 1 9 - 2 とからなる。コンタクト部メタルプラグ 1 7' のタングステン層 2 0 は、コンタクト部メタルプラグ 1 7' の窒化チタン層 1 9 内に形成されている。同様に、コンタクト部メタルプラグ 1 8' の窒化チタン層 1 9 は、コバルトシリサイド膜 3 2' 上に接続された底面部 1 9 - 3 と、その底面部 1 9 - 3 の端から上方に埋め込み酸化膜 1 6 の表面にまで延びる側壁外周部 1 9 - 4 とからなる。コンタクト部メタルプラグ 1 8' のタングステン層 2 0 は、コンタクト部メタルプラグ 1 8' の窒化チタン層 1 9 内に形成されている。埋め込み酸化膜 1 6 の表面上には、ストッパー用シリコン酸窒化膜 2 1 が形成されている。シリコン酸窒化膜 2 1 の表面上には、層間プラズマ酸化膜 2 2 が形成されている。

【 0 0 6 3 】

コンタクト部メタルプラグ 1 7' 上には、コンタクト部メタルプラグ 1 7' に接続された窒化チタン層 2 3 と DOPOS (doped polysilicon) 層 2 5 との積層構造からなる下部電極 6 が、コンタクト部メタルプラグ 1 7' の垂直上方方向に形成されている。窒化チタン層 2 3 は、ストッパー用シリコン酸窒化膜 2 1 を貫通してコンタクト部メタルプラグ 1 7' 上に接続された底面部 2 3 - 1 と、窒化チタン層 2 3 の底面部 2 3 - 1 の端から上方に層間プラズマ酸化膜 2 2 の表面まで達しない所定の位置にまで延びる側壁外周部 2 3 - 3 とからなる。DOPOS 層 2 5 は、窒化チタン層 2 3 の底面部 2 3 - 1 上に接続され

た底面部 25-1 と、窒化チタン層 23 の側壁外周部 23-3 上に接続され、DOPOS 層 25 の底面部 25-1 の端から上方に層間プラズマ酸化膜 22 の表面にまで延びる側壁外周部 25-2 とからなる。下部電極 6 上と、層間プラズマ酸化膜 22 の一部の表面上には、誘電体層として高誘電体の Ta_2O_5 容量膜 27 が形成されている。 Ta_2O_5 容量膜 27 の表面上には、上部電極 8 が形成されている。この上部電極 8 は、 Ta_2O_5 容量膜 27 の表面に形成された窒化チタン層 28 と、窒化チタン層 28 の表面に形成された DOPOS (doped polysilicon) 層 29 との積層構造により形成されている。このように、コンタクト部メタルプラグ 17' 上には、上部電極 8、誘電体層 (Ta_2O_5 容量膜 27)、下部電極 6 によりトレンチ構造をもつ容量部が構成される。また、層間プラズマ酸化膜 22、容量部の表面上には、層間プラズマ酸化膜 22、容量部を覆う酸化膜 35 が形成されている。

【0064】

また、コンタクト部メタルプラグ 18' 上には、シリコン酸窒化膜 21 と層間プラズマ酸化膜 22 と酸化膜 35 とを貫通して、酸化膜 35 の表面からコンタクト部メタルプラグ 18' の表面まで、コンタクト部メタルプラグ 18' の垂直上方方向に延びるビットコンタクト 30 が形成されている。上述した拡散層領域は、このビットコンタクト 30 により 2 つのメモリセル領域に分けられる。このビットコンタクト 30 にはタングステンが埋め込まれている。また、ビットコンタクト 30 上には、酸化膜 35 の表面に沿う方向に延びるビット線 31 が接続されている。このビット線 31 は、窒化チタンにより構成されている。また、ビットコンタクト 30 は、ビット線 31 に中継するためのビット線として働く。

【0065】

これにより、実施の形態 1 に係る半導体記憶装置は、容量コンタクト部（容量コンタクト 17）、ビットコンタクト部（セルコンタクト 18）のコンタクトプラグをメタルプラグ（コンタクト部メタルプラグ 17'、コンタクト部メタルプラグ 18'）にすることで、コンタクト接触抵抗を低抵抗化させ、コンタクトプラグの抵抗も低抵抗化させることができる。また、実施の形態 1 に係る半導体記憶装置は、下部電極 6 を窒化チタン層 23 と DOPOS 層 25 の 2 層構造にする

ことで、コンタクト部メタルプラグ17'とDOPOS層25が直接反応をするのを防ぐことができるバリアメタルとして働くほか、低抵抗な電極を形成させることができる。また、実施の形態1に係る半導体記憶装置は、ビットコンタクト30の下セルコンタクト18を形成することにより、ビットコンタクトエッチのアスペクト比を小さくすることができる。

【0066】

次に、前述した実施の形態1に係る半導体記憶装置の製造工程について図2～図12を参照しながら説明する。

【0067】

図2は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。図3は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。図4は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。図5は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。図6は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。図7は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。図8は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。図9は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。図10は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。図11は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。図12は、本実施の形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【0068】

図2に示されるように、P型シリコン基板50の表面部には、素子分離用の深さ3500ÅのSTI酸化膜1が形成される。その後、P型シリコン基板50の表面部には、イオン注入によってウェルを形成し、ゲート酸化膜9を70Åに形成後、DOPOSを1500Åに堆積し、リソグラフィーとプラズマエッチングによって、ゲート10が形成される。P型シリコン基板50の表面部にはLDD11が注入される。LDD11を注入後、LDD11の表面上にはサイドウォー

ル 1 2 が形成される。また、P 型シリコン基板 5 0 の表面部にはイオン注入によって、ソース拡散層 1 3、ドレイン拡散層 1 4 が形成される。その後、ゲート 1 0、ソース拡散層 1 3、ドレイン拡散層 1 4 はコバルトシリサイド化され、ゲート 1 0 の表面部にはコバルトシリサイド膜 3 3 が形成され、ソース拡散層 1 3 の表面部にはコバルトシリサイド膜 3 2 が形成され、ドレイン拡散層 1 4 の表面部にはコバルトシリサイド膜 3 2' が形成される。

【 0 0 6 9 】

次に、図 3 に示されるように、STI 素子分離酸化膜 1、コバルトシリサイド膜 3 2、サイドウォール 1 2、コバルトシリサイド膜 3 3、コバルトシリサイド膜 3 2' の表面上には、4 0 0 Å のダイレクト窒化膜 (1 5、1 5') が形成される。この場合、STI 素子分離酸化膜 1 とコバルトシリサイド膜 3 2 の表面は、ダイレクト窒化膜 1 5 によって覆われる。コバルトシリサイド膜 3 2、サイドウォール 1 2、コバルトシリサイド膜 3 3、コバルトシリサイド膜 3 2' の表面は、ダイレクト窒化膜 1 5' によって覆われる。さらに、ダイレクト窒化膜 1 5、ダイレクト窒化膜 1 5' の表面上には、埋め込み酸化膜 1 6 が形成され、MOS トランジスタは、埋め込み酸化膜 1 6 によって覆われる。ソース拡散層 1 3 の表面部に形成されたコバルトシリサイド膜 3 2 の表面上、ドレイン拡散層 1 4 の表面部に形成されたコバルトシリサイド膜 3 2' の表面上には、リソグラフィとドライエッチング技術によって両方にコンタクトホールが同時に開口される。即ち、コバルトシリサイド膜 3 2 の表面上には、コバルトシリサイド膜 3 2 の表面から埋め込み酸化膜 1 6 の表面にまでソース拡散層 1 3 の垂直上方方向に延びる容量コンタクト 1 7 が、コバルトシリサイド膜 3 2' の表面上には、コバルトシリサイド膜 3 2 の表面から埋め込み酸化膜 1 6 の表面にまでドレイン拡散層 1 4 の垂直上方方向に延びるセルコンタクト 1 8 が、同時に開口される。

【 0 0 7 0 】

次いで、図 4 に示されるように、容量コンタクト 1 7、セルコンタクト 1 8、埋め込み酸化膜 1 6 の表面上には、窒化チタン層 1 9 が形成される。この時、容量コンタクト 1 7 とセルコンタクト 1 8 の各々の底面部及び側壁外周部には、バリアメタル層が同時に形成される。即ち、容量コンタクト 1 7 には、コバルトシ

リサイド膜 3 2 上に接続された底面部 1 9 - 1 と、その底面部 1 9 - 1 の端から上方に埋め込み酸化膜 1 6 の表面にまで延びる側壁外周部 1 9 - 2 とからなる窒化チタン層（バリアメタル層） 1 9 が形成される。同時に、セルコンタクト 1 8 には、コバルトシリサイド膜 3 2' 上に接続された底面部 1 9 - 3 と、その底面部 1 9 - 3 の端から上方に埋め込み酸化膜 1 6 の表面にまで延びる側壁外周部 1 9 - 4 とからなる窒化チタン層（バリアメタル層） 1 9 が形成される。次に、窒化チタン層 1 9 上には、高融点金属のタングステン層 2 0 が形成される。この時、底面部 1 9 - 1 と側壁外周部 1 9 - 2 とからなる窒化チタン層 1 9 内には、高融点金属のタングステン層 2 0 が埋め込まれて形成される。同時に、底面部 1 9 - 3 と側壁外周部 1 9 - 4 とからなる窒化チタン層 1 9 内には、高融点金属のタングステン層 2 0 が埋め込まれて形成される。

【 0 0 7 1 】

図 5 に示されるように、窒化チタン層 1 9 、タングステン層 2 0 の埋め込み後、タングステンエッチバックもしくは CMP によって、容量コンタクト 1 7 には窒化チタン層 1 9 とタングステン層 2 0 からなるコンタクト部メタルプラグ 1 7' が形成され、セルコンタクト 1 8 には窒化チタン層 1 9 とタングステン層 2 0 からなるコンタクト部メタルプラグ 1 8' が形成される。

【 0 0 7 2 】

次に、図 6 に示されるように、埋め込み酸化膜 1 6 、コンタクト部メタルプラグ 1 7' 、コンタクト部メタルプラグ 1 8' の表面上には、500 Å のシリコン酸窒化膜 2 1 が堆積される。シリコン酸窒化膜 2 1 の堆積後、シリコン酸窒化膜 2 1 の表面上には、10000 Å のプラズマ酸化膜 2 2 によるシリンダー層間膜が形成される。リソグラフィとドライエッチング技術によって、シリンダー層間膜（プラズマ酸化膜 2 2 ）の表面からエッチングストップ用のシリコン酸窒化膜 2 1 の表面まで掘り下げることによって、コンタクト部メタルプラグ 1 7' の垂直上方方向に開口部分を形成する。エッチングストップ用のシリコン酸窒化膜 2 1 を除去するために、開口部分がコンタクト部メタルプラグ 1 7' に達し、開口部 3 4 が形成されるようにシリコン酸窒化膜 2 1 をエッチングする。

【 0 0 7 3 】

次いで、図 7 に示されるように、開口部 3 4 には、コンタクト部メタルプラグ 1 7' 上に接続された底面部と、その底面部の端から上方に層間プラズマ酸化膜 2 2 の表面にまで延びる側壁外周部とからなる下部電極 6 用の窒化チタン層 (2 3) が 1 0 0 Å 堆積されて形成される。次に、図 8 に示されるように、窒化チタン層 (2 3) 上には、窒化チタン層 (2 3) の底面部上に接続された底面部と、窒化チタン層 (2 3) の側壁外周部上に接続され、O P O S 層 2 5 の底面部の端から上方に層間プラズマ酸化膜 2 2 の表面にまで延びる側壁外周部とからなる下部電極 6 用の D O P O S 層 2 5 が 5 5 0 Å 堆積されて形成され、D O P O S 層 2 5 の表面は、H S G 化される。その後、図 9 に示されるように、H S G 化された D O P O S 層 2 5 の表面には、シリンダーの内側にのみレジスト 2 6 が残留される。レジスト 2 6 が残留された開口部 3 4 には、ドライエッチングによってエッチバックすることにより、シリンダーの内壁にのみ、窒化チタン層 2 3 と H S G 化された D O P O S 層 2 5 との積層構造からなる下部電極 (6) が形成される。

【 0 0 7 4 】

次に、図 1 0 に示されるように、レジスト 2 6 を除去し、 CF_4 が添加されたガス雰囲気によって、窒化チタン層 (2 3) の底面部の端から上方に層間プラズマ酸化膜 2 2 の表面まで達しない所定の位置にまで延びる側壁外周部と、窒化チタン層 (2 3) の底面部とからなる上述の窒化チタン層 2 3 が形成されるように、窒化チタン層 (2 3) の側壁外周部を選択的にエッチングする。この時、D O P O S 層 2 5 がエッチングされず、窒化チタン層 (2 3) のみが選択的にエッチングされるため、コンタクト部メタルプラグ 1 7' の表面を基準 P 0 とした場合、窒化チタン層 2 3 の側壁外周部の P 0 から P 1 に延びる方向の高さ X 1 は、D O P O S 層 2 5 の側壁外周部の P 0 から P 2 に延びる方向の高さ X 2 より低く設定される。所定の位置は P 1 に対応する。これにより、(コンタクト部メタルプラグ 1 7' 上に接続された底面部と、その底面部の端から上方に層間プラズマ酸化膜 2 2 の表面にまで延びる側壁外周部とからなる) 窒化チタン層 2 3 と、(窒化チタン層 2 3 の底面部上に接続された底面部と、窒化チタン層 2 3 の側壁外周部上に接続され、D O P O S 層 2 5 の底面部の端から上方に層間プラズマ酸化膜 2 2 の表面にまで延びる側壁外周部とからなる) D O P

OS層25とにより、上述の下部電極6が構成される。また、この時、 CF_4 が添加されたガス雰囲気によって、エッチング時の反応副生成物を除去する。

【0075】

次いで、図11に示されるように、下部電極6の表面上には、誘電体層として高誘電体の Ta_2O_5 容量膜27が80Å堆積される。 Ta_2O_5 容量膜27の表面上には、上部電極8である窒化チタン層28が100Å、DOPOS29が1500Å堆積される。これにより、上述した容量部が構成される。層間プラズマ酸化膜22、容量部の表面上には、層間プラズマ酸化膜22、容量部を覆う酸化膜35が形成される。コンタクト部メタルプラグ18'上には、リソグラフィーとドライエッチング技術によって、シリコン酸窒化膜21と層間プラズマ酸化膜22と酸化膜35とを貫通して、酸化膜35の表面からコンタクト部メタルプラグ18'の表面まで、コンタクト部メタルプラグ18'の垂直上方方向に延びるビットコンタクト30接続用の開口部36が形成される。

【0076】

次に、図12に示されるように、形成されたビットコンタクト30接続用の開口部36には、タングステンが埋め込まれ、ビットコンタクト30が形成される。このビットコンタクト30の一方の端部は、コンタクト部メタルプラグ18'上に接続される。ビットコンタクト30の他方の端部には、酸化膜35に沿う方向に延びるビット線31が接続される。このような製造工程によりDRAMを製作する。

【0077】

これにより、実施の形態1に係る半導体記憶装置は、容量コンタクト部（容量コンタクト17）、ビットコンタクト部（セルコンタクト18）を同時に開口し、容量コンタクト部、ビットコンタクト部のコンタクトプラグをメタルプラグ（コンタクト部メタルプラグ17'、コンタクト部メタルプラグ18'）にすることで、コンタクト接触抵抗を低抵抗化させ、コンタクトプラグの抵抗も低抵抗化させることができる。また、実施の形態1に係る半導体記憶装置は、下部電極6を窒化チタン層23とDOPOS層25の2層構造にすることで、コンタクト部メタルプラグ17'とDOPOS層25が直接反応をするのを防ぐことができる。

バリアメタルとして働くほか、低抵抗な電極を形成させることができる。また、実施の形態 1 に係る半導体記憶装置は、ビットコンタクト 3 0 の下のセルコンタクト 1 8 を形成することにより、ビットコンタクトエッチのアスペクト比を小さくすることができる。

【 0 0 7 8 】

以上の説明より、実施の形態 1 に係る半導体記憶装置によれば、容量コンタクト部（容量コンタクト 1 7）、ビットコンタクト部（セルコンタクト 1 8）を同時に開口し、メタルプラグ（コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8'）にすることで、コンタクト接触抵抗を低抵抗化させ、コンタクトプラグの抵抗も低抵抗化させることにより、低消費電力化に寄与し、半導体記憶装置の高速動作を実現することができる。また、実施の形態 1 に係る半導体記憶装置によれば、下部電極 6 を窒化チタン層 2 3 と D O P O S 層 2 5 の 2 層構造にすることで、コンタクト部メタルプラグ 1 7' と D O P O S 層 2 5 が直接反応をするのを防ぐことができるバリアメタルとして働くほか、低抵抗な電極を形成させることができるため、低消費電力化に寄与し、高速動作を実現することができる。

【 0 0 7 9 】

また、実施の形態 1 に係る半導体記憶装置によれば、容量コンタクト部（容量コンタクト 1 7）、ビットコンタクト部（セルコンタクト 1 8）を同時に開口することにより、上述した低消費電力化、高速動作の実現の他に、生産性が向上する。

【 0 0 8 0 】

また、実施の形態 1 に係る半導体記憶装置によれば、ビットコンタクトの下セルコンタクトを形成することにより、ビットコンタクトエッチのアスペクト比を小さくすることができ、エッチングによる加工を容易にすることができる。

【 0 0 8 1 】

（実施の形態 2）

実施の形態 1 において、半導体記憶装置（D R A M）の製造工程は、容量コンタクト部（容量コンタクト 1 7）、ビットコンタクト部（セルコンタクト 1 8）

を同時に開口することにより生産性を向上している。一方、実施の形態 2 では、半導体記憶装置（DRAM 部）と周辺ロジック部とのコンタクト部を同時に開口し、コンタクトプラグを同時に埋め込むことにより、実施の形態 1 の効果に加え、更に生産性を向上することができる。

【 0 0 8 2 】

実施の形態 2 に係る半導体記憶装置について図 1 3 を参照しながら説明する。尚、実施の形態 2 に係る半導体記憶装置の構成は、実施の形態 1 と同様であるため説明を省略する。また、周辺ロジック部において半導体記憶装置と同様な構成については同符号を付している。

【 0 0 8 3 】

図 1 3 は、本実施の形態 2 に係る半導体記憶装置の構造と、周辺ロジック部の構造とを示す断面図である。

【 0 0 8 4 】

図 1 3 に示されるように、周辺ロジック部において、P 型シリコン基板 5 0 の表面部には、拡散層領域が形成される。この P 型シリコン基板 5 0 の表面部には、STI 素子分離酸化膜 1、LDD (lightly doped drain) 1 1、LDD 1 1'、N 型のソース拡散層 1 3 が 2 つずつ形成されている。STI 素子分離酸化膜 1 は、隣り合う拡散層領域と電気的に絶縁するものである。尚、LDD 1 1 と LDD 1 1' は、一工程で形成される。STI 素子分離酸化膜 1 とソース拡散層 1 3 は互いに接続されている。LDD 1 1 とソース拡散層 1 3 は互いに接続されている。ソース拡散層 1 3 の表面部には、ソース拡散層 1 3 の表面部をコバルトシリサイド化したコバルトシリサイド膜 3 2 が形成されている。また、P 型シリコン基板 5 0 の表面部には、N 型のドレイン拡散層 1 4 が形成されている。上述した LDD 1 1' のうち一方の LDD 1 1' とドレイン拡散層 1 4 は、互いに接続されている。また、他方の LDD 1 1' とドレイン拡散層 1 4 は、互いに接続されている。ドレイン拡散層 1 4 の表面部には、ドレイン拡散層 1 4 の表面部をコバルトシリサイド化したコバルトシリサイド膜 3 2' が形成されている。尚、コバルトシリサイド膜 3 2 とコバルトシリサイド膜 3 2' は、一工程で形成される。STI 素子分離酸化膜 1 とコバルトシリサイド膜 3 2 の表

面上には、ダイレクト窒化膜 1 5 が形成されている。

【 0 0 8 5 】

P 型シリコン基板 5 0 の表面上には、ゲート酸化膜 9 が形成されている。ゲート酸化膜 9 の表面上には、ゲート 1 0 が形成されている。ゲート 1 0 の表面部には、ゲート 1 0 の表面部をコバルトシリサイド化したコバルトシリサイド膜 3 3 が形成されている。LDD 1 1 及び LDD 1 1' の表面上には、サイドウォール 1 2 が形成されている。サイドウォール 1 2 は、LDD 1 1、LDD 1 1'、ゲート 1 0、コバルトシリサイド膜 3 3 と接続されている。コバルトシリサイド膜 3 2、サイドウォール 1 2、コバルトシリサイド膜 3 3、コバルトシリサイド膜 3 2' の表面上には、ダイレクト窒化膜 1 5' が形成されている。尚、ダイレクト窒化膜 1 5 とダイレクト窒化膜 1 5' は、一工程で形成される。これにより、P 型シリコン基板 5 0 の表面部及び表面上には、MOS トランジスタが形成される。また、ダイレクト窒化膜 1 5、ダイレクト窒化膜 1 5' の表面上には、上述した MOS トランジスタを覆う埋め込み酸化膜 1 6 が形成されている。

【 0 0 8 6 】

ソース拡散層 1 3 の表面部に形成されたコバルトシリサイド膜 3 2 の表面上には、コバルトシリサイド膜 3 2 の表面から埋め込み酸化膜 1 6 の表面にまでソース拡散層 1 3 の垂直上方方向に延びるコンタクト部メタルプラグ 1 7' が形成されている。ドレイン拡散層 1 4 の表面部に形成されたコバルトシリサイド膜 3 2' の表面上には、コバルトシリサイド膜 3 2' の表面から埋め込み酸化膜 1 6 の表面にまでソース拡散層 1 3 の垂直上方方向に延びるコンタクト部メタルプラグ 1 8' が形成されている。このコンタクト部メタルプラグ 1 7' 及びコンタクト部メタルプラグ 1 8' は、バリアメタル層となる窒化チタン層 1 9 と高融点金属のタングステン層 2 0 とからなる。コンタクト部メタルプラグ 1 7' の窒化チタン層 1 9 は、コバルトシリサイド膜 3 2 上に接続された底面部 1 9 - 1 と、その底面部 1 9 - 1 の端から上方に埋め込み酸化膜 1 6 の表面にまで延びる側壁外周部 1 9 - 2 とからなる。コンタクト部メタルプラグ 1 7' のタングステン層 2 0 は、コンタクト部メタルプラグ 1 7' の窒化チタン層 1 9 内に形成されている。同様に、コンタクト部メタルプラグ 1 8' の窒化チタン層 1 9 は、コバルトシリ

サイド膜 3 2' 上に接続された底面部 1 9 - 3 と、その底面部 1 9 - 3 の端から上方に埋め込み酸化膜 1 6 の表面にまで延びる側壁外周部 1 9 - 4 とからなる。コンタクト部メタルプラグ 1 8' のタングステン層 2 0 は、コンタクト部メタルプラグ 1 8' の窒化チタン層 1 9 内に形成されている。埋め込み酸化膜 1 6、コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8' の表面上には、埋め込み酸化膜 1 6、コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8' を覆う酸化膜 6 2 が形成されている。

【 0 0 8 7 】

コンタクト部メタルプラグ 1 7' 上には、酸化膜 6 2 を貫通して酸化膜 6 2 の表面からコンタクト部メタルプラグ 1 7' の表面まで、コンタクト部メタルプラグ 1 7' の垂直上方方向に延びるビットコンタクト 6 3 が形成されている。このビットコンタクト 6 3 にはタングステンが埋め込まれている。また、ビットコンタクト 6 3 上には、酸化膜 6 2 の表面に沿う方向に延びるビット線 6 4 が接続されている。このビット線 6 4 は、窒化チタンにより構成されている。また、ビットコンタクト 6 3 は、ビット線 6 4 に中継するためのビット線として働く。

【 0 0 8 8 】

また、コンタクト部メタルプラグ 1 8' 上には、酸化膜 6 2 を貫通して酸化膜 6 2 の表面からコンタクト部メタルプラグ 1 8' の表面まで、コンタクト部メタルプラグ 1 8' の垂直上方方向に延びるビットコンタクト 6 0 が形成されている。このビットコンタクト 6 0 にはタングステンが埋め込まれている。また、ビットコンタクト 6 0 上には、酸化膜 6 2 の表面に沿う方向に延びるビット線 6 1 が接続されている。このビット線 6 1 は、窒化チタンにより構成されている。また、ビットコンタクト 6 0 は、ビット線 6 1 に中継するためのビット線として働く。

【 0 0 8 9 】

これにより、半導体記憶装置及び周辺ロジック部は、コンタクトプラグ（コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8'）を同時に形成し、ビットコンタクト（ビットコンタクト 3 0、ビットコンタクト 6 0、ビットコンタクト 6 3）を同時に形成することができる。

【 0 0 9 0 】

次に、前述した実施の形態 2 に係る半導体記憶装置と、周辺ロジック部の製造工程について図 1 4、図 1 5 を参照しながら説明する。尚、実施の形態 2 に係る半導体記憶装置の製造工程は、実施の形態 1 と同様である。

【 0 0 9 1 】

図 1 4 は、本実施の形態 2 に係る半導体記憶装置と、周辺ロジック部の製造方法の製造工程を示す断面図である。図 1 5 は、本実施の形態 2 に係る半導体記憶装置と、周辺ロジック部の製造方法の製造工程を示す断面図である。

【 0 0 9 2 】

図 1 4 に示されるように、半導体記憶装置及び周辺ロジック部において、P 型シリコン基板 5 0 の表面部には、素子分離用の深さ 3 5 0 0 Å の S T I 酸化膜 1 が形成される。その後、P 型シリコン基板 5 0 の表面部には、イオン注入によってウェルを形成し、ゲート酸化膜 9 を 7 0 Å に形成後、D O P O S を 1 5 0 0 Å に堆積し、リソグラフィーとプラズマエッチングによって、ゲート 1 0 が形成される。P 型シリコン基板 5 0 の表面部には L D D 1 1 が注入される。L D D 1 1 を注入後、L D D 1 1 の表面上にはサイドウォール 1 2 が形成される。また、P 型シリコン基板 5 0 の表面部にはイオン注入によって、ソース拡散層 1 3、ドレイン拡散層 1 4 が形成される。その後、ゲート 1 0、ソース拡散層 1 3、ドレイン拡散層 1 4 はコバルトシリサイド化され、ゲート 1 0 の表面部にはコバルトシリサイド膜 3 3 が形成され、ソース拡散層 1 3 の表面部にはコバルトシリサイド膜 3 2 が形成され、ドレイン拡散層 1 4 の表面部にはコバルトシリサイド膜 3 2' が形成される。

【 0 0 9 3 】

次に、S T I 素子分離酸化膜 1、コバルトシリサイド膜 3 2、サイドウォール 1 2、コバルトシリサイド膜 3 3、コバルトシリサイド膜 3 2' の表面上には、4 0 0 Å のダイレクト窒化膜 (1 5、1 5') が形成される。この場合、S T I 素子分離酸化膜 1 とコバルトシリサイド膜 3 2 の表面は、ダイレクト窒化膜 1 5 によって覆われる。コバルトシリサイド膜 3 2、サイドウォール 1 2、コバルトシリサイド膜 3 3、コバルトシリサイド膜 3 2' の表面は、ダイレクト窒化膜 1

5' によって覆われる。さらに、ダイレクト窒化膜 1 5、ダイレクト窒化膜 1 5' の表面上には、埋め込み酸化膜 1 6 が形成され、MOS トランジスタは、埋め込み酸化膜 1 6 によって覆われる。ソース拡散層 1 3 の表面部に形成されたコバルトシリサイド膜 3 2 の表面上、ドレイン拡散層 1 4 の表面部に形成されたコバルトシリサイド膜 3 2' の表面上には、リソグラフィーとドライエッチング技術によって両方にコンタクトホールが同時に開口される。即ち、コバルトシリサイド膜 3 2 の表面上には、コバルトシリサイド膜 3 2 の表面から埋め込み酸化膜 1 6 の表面にまでソース拡散層 1 3 の垂直上方方向に延びる容量コンタクトが、コバルトシリサイド膜 3 2' の表面上には、コバルトシリサイド膜 3 2 の表面から埋め込み酸化膜 1 6 の表面にまでドレイン拡散層 1 4 の垂直上方方向に延びるセルコンタクトが、同時に開口される。

【 0 0 9 4 】

次いで、容量コンタクト、セルコンタクト、埋め込み酸化膜 1 6 の表面上には、窒化チタン層 1 9 が形成される。この時、容量コンタクトとセルコンタクトの各々の底面部及び側壁外周部には、バリアメタル層が同時に形成される。即ち、容量コンタクトには、コバルトシリサイド膜 3 2 上に接続された底面部 1 9 - 1 と、その底面部 1 9 - 1 の端から上方に埋め込み酸化膜 1 6 の表面にまで延びる側壁外周部 1 9 - 2 とからなる窒化チタン層（バリアメタル層） 1 9 が形成される。同時に、セルコンタクト 1 8 には、コバルトシリサイド膜 3 2' 上に接続された底面部 1 9 - 3 と、その底面部 1 9 - 3 の端から上方に埋め込み酸化膜 1 6 の表面にまで延びる側壁外周部 1 9 - 4 とからなる窒化チタン層（バリアメタル層） 1 9 が形成される。次に、窒化チタン層 1 9 上には、高融点金属のタングステン層 2 0 が形成される。この時、底面部 1 9 - 1 と側壁外周部 1 9 - 2 とからなる窒化チタン層 1 9 内には、高融点金属のタングステン層 2 0 が埋め込まれて形成される。同時に、底面部 1 9 - 3 と側壁外周部 1 9 - 4 とからなる窒化チタン層 1 9 内には、高融点金属のタングステン層 2 0 が埋め込まれて形成される。

【 0 0 9 5 】

窒化チタン層 1 9、タングステン層 2 0 の埋め込み後、タングステンエッチバックもしくは CMP によって、容量コンタクトには窒化チタン層 1 9 とタングス

テン層 2 0 からなるコンタクト部メタルプラグ 1 7' が形成され、セルコンタクトには窒化チタン層 1 9 とタングステン層 2 0 からなるコンタクト部メタルプラグ 1 8' が形成される。

【 0 0 9 6 】

次に、図 1 5 に示されるように、半導体記憶装置において、埋め込み酸化膜 1 6、コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8' の表面上には、5 0 0 Å のシリコン酸窒化膜 2 1 が堆積される。シリコン酸窒化膜 2 1 の堆積後、シリコン酸窒化膜 2 1 の表面上には、1 0 0 0 0 Å のプラズマ酸化膜 2 2 によるシリンダー層間膜が形成される。リソグラフィーとドライエッチング技術によってシリンダー層間膜（プラズマ酸化膜 2 2）の表面からエッチングストップ用のシリコン酸窒化膜 2 1 の表面まで掘り下げることで、コンタクト部メタルプラグ 1 7' の垂直上方方向に開口部分を形成する。エッチングストップ用のシリコン酸窒化膜 2 1 を除去するために、開口部分がコンタクト部メタルプラグ 1 7' に達し、開口部が形成されるようにシリコン酸窒化膜 2 1 をエッチングする。

【 0 0 9 7 】

次いで、開口部には、コンタクト部メタルプラグ 1 7' 上に接続された底面部と、その底面部の端から上方に層間プラズマ酸化膜 2 2 の表面にまで延びる側壁外周部とからなる下部電極 6 用の窒化チタン層（2 3）が 1 0 0 Å 堆積されて形成される。次に、窒化チタン層（2 3）上には、窒化チタン層（2 3）の底面部上に接続された底面部と、窒化チタン層（2 3）の側壁外周部上に接続され、O P O S 層 2 5 の底面部の端から上方に層間プラズマ酸化膜 2 2 の表面にまで延びる側壁外周部とからなる下部電極 6 用の D O P O S 層 2 5 が 5 5 0 Å 堆積されて形成され、D O P O S 層 2 5 の表面は、H S G 化される。その後、H S G 化された D O P O S 層 2 5 の表面には、シリンダーの内側にのみレジストが残留される。レジストが残留された開口部には、ドライエッチングによってエッチバックすることにより、シリンダーの内壁にのみ、窒化チタン層 2 3 と H S G 化された D O P O S 層 2 5 との積層構造からなる下部電極（6）が形成される。

【 0 0 9 8 】

次に、レジストを除去し、 CF_4 が添加されたガス雰囲気によって、窒化チタン層（23）の底面部の端から上方に層間プラズマ酸化膜22の表面まで達しない所定の位置にまで延びる側壁外周部と、窒化チタン層（23）の底面部とからなる上述の窒化チタン層23が形成されるように、窒化チタン層（23）の側壁外周部を選択的にエッチングする。この時、DOPOS層25がエッチングされず、窒化チタン層（23）のみが選択的にエッチングされるため、図10と同様にコンタクト部メタルプラグ17'の表面を基準P0とした場合、窒化チタン層23の側壁外周部のP0からP1に延びる方向の高さX1は、DOPOS層25の側壁外周部のP0からP2に延びる方向の高さX2より低く設定される。所定の位置はP1に対応する。これにより、（コンタクト部メタルプラグ17'上に接続された底面部と、その底面部の端から上方に層間プラズマ酸化膜22の表面まで達しない所定の位置にまで延びる側壁外周部とからなる）窒化チタン層23と、（窒化チタン層23の底面部上に接続された底面部と、窒化チタン層23の側壁外周部上に接続され、DOPOS層25の底面部の端から上方に層間プラズマ酸化膜22の表面にまで延びる側壁外周部とからなる）DOPOS層25とにより、上述の下部電極6が構成される。また、この時、 CF_4 が添加されたガス雰囲気によって、エッチング時の反応副生成物を除去する。

【0099】

次いで、下部電極6の表面上には、誘電体層として高誘電体の Ta_2O_5 容量膜27が80Å堆積される。 Ta_2O_5 容量膜27の表面上には、上部電極8である窒化チタン層28が100Å、DOPOS29が1500Å堆積される。これにより、上述した容量部が構成される。層間プラズマ酸化膜22、容量部の表面上には、層間プラズマ酸化膜22、容量部を覆う酸化膜35が形成される。

【0100】

また、周辺ロジック部において、埋め込み酸化膜16、コンタクト部メタルプラグ17'、コンタクト部メタルプラグ18'の表面上には、埋め込み酸化膜16、コンタクト部メタルプラグ17'、コンタクト部メタルプラグ18'を覆う酸化膜62が形成される。

【0101】

半導体記憶装置及び周辺ロジック部において、リソグラフィーとドライエッチング技術によって、ビットコンタクト接続用の開口部が同時に形成される。即ち、半導体記憶装置において、コンタクト部メタルプラグ18'上には、シリコン酸窒化膜21と層間プラズマ酸化膜22と酸化膜35とを貫通して、酸化膜35の表面からコンタクト部メタルプラグ18'の表面まで、コンタクト部メタルプラグ18'の垂直上方方向に延びるビットコンタクト30接続用の開口部が形成される。同時に、周辺ロジック部において、コンタクト部メタルプラグ17'上には、酸化膜62を貫通して酸化膜62の表面からコンタクト部メタルプラグ17'の表面まで、コンタクト部メタルプラグ17'の垂直上方方向に延びるビットコンタクト60接続用の開口部が形成される。また同時に、周辺ロジック部において、コンタクト部メタルプラグ18'上には、シリコン酸窒化膜21と層間プラズマ酸化膜22と酸化膜35とを貫通して、酸化膜35の表面からコンタクト部メタルプラグ18'の表面まで、コンタクト部メタルプラグ18'の垂直上方方向に延びるビットコンタクト63接続用の開口部が形成される。

【0102】

次に、半導体記憶装置において、形成されたビットコンタクト30接続用の開口部には、タングステンが埋め込まれ、ビットコンタクト30が形成される。このビットコンタクト30の一方の端部は、半導体記憶装置におけるコンタクト部メタルプラグ18'上に接続される。同時に、周辺ロジック部において、形成されたビットコンタクト60及びビットコンタクト63接続用の開口部には、タングステンが埋め込まれ、ビットコンタクト60及びビットコンタクト63が形成される。ビットコンタクト60の一方の端部は、周辺ロジック部におけるコンタクト部メタルプラグ18'上に接続される。ビットコンタクト63の一方の端部は、周辺ロジック部におけるコンタクト部メタルプラグ17'上に接続される。半導体記憶装置において、ビットコンタクト30の他方の端部には、酸化膜35に沿う方向に延びるビット線31が接続される。同時に、周辺ロジック部において、ビットコンタクト60の他方の端部には酸化膜62に沿う方向に延びるビット線61が接続され、ビットコンタクト63の他方の端部には酸化膜62に沿う方向に延びるビット線64が接続される。このような製造工程によりDRAMと

ロジックを作製する。

【 0 1 0 3 】

以上により、実施の形態 2 に係る半導体記憶装置によれば、半導体記憶装置（DRAM）と周辺ロジック部とのコンタクト部を同時に開口し、コンタクトプラグを同時に埋め込むことにより、実施の形態 1 の効果に加え、更に生産性を向上することができる。

【 0 1 0 4 】

【発明の効果】

本発明の半導体記憶装置は、低消費電力化に寄与し、高速動作を実現することができる。

【図面の簡単な説明】

【図 1】

図 1 は、本実施の形態 1 に係る半導体記憶装置の構造を示す断面図である。

【図 2】

図 2 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 3】

図 3 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 4】

図 4 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 5】

図 5 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 6】

図 6 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 7】

図 7 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 8】

図 8 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 9】

図 9 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 1 0】

図 1 0 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 1 1】

図 1 1 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 1 2】

図 1 2 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 1 3】

図 1 3 は、本実施の形態 2 に係る半導体記憶装置の構造と、周辺ロジック部の構造とを示す断面図である。

【図 1 4】

図 1 4 は、本実施の形態 2 に係る半導体記憶装置と、周辺ロジック部の製造方法の製造工程を示す断面図である。

【図 1 5】

図 1 5 は、本実施の形態 2 に係る半導体記憶装置と、周辺ロジック部の製造方法の製造工程を示す断面図である。

【図 1 6】

図 1 6 は、従来の半導体記憶装置の構造を示す断面図である。

【符号の説明】

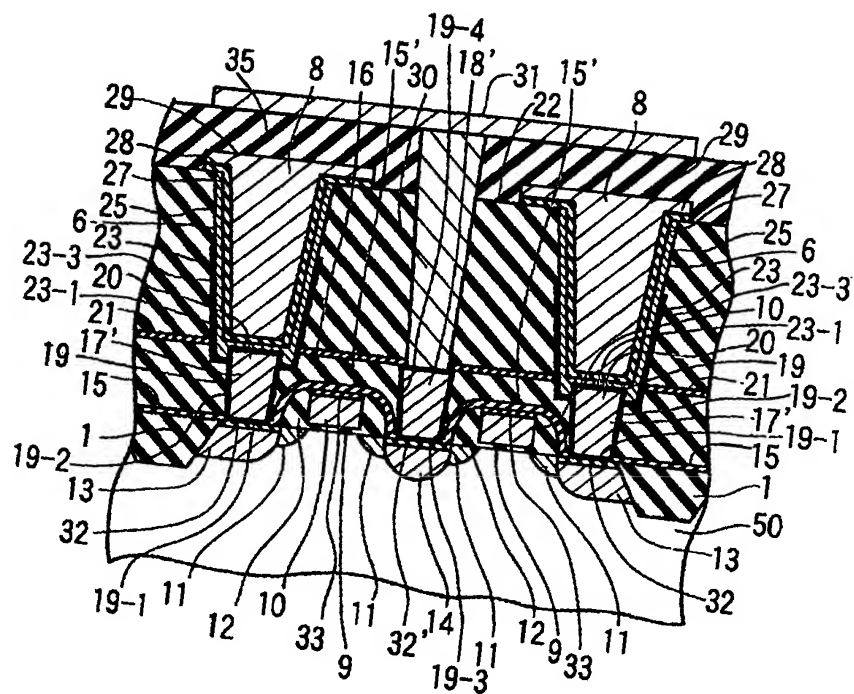
- 1 S T I 素子分離酸化膜
- 6 下部電極
- 8 上部電極
- 9 ゲート酸化膜
- 1 0 ゲート
- 1 1 L D D
- 1 1 ' L D D
- 1 2 サイドウォール
- 1 3 ソース拡散層
- 1 4 ドレイン拡散層
- 1 5 ダイレクト窒化膜
- 1 5 ' ダイレクト窒化膜
- 1 6 埋め込み酸化膜
- 1 7 容量コンタクト
- 1 7 ' コンタクト部メタルプラグ
- 1 8 セルコンタクト
- 1 8 ' コンタクト部メタルプラグ
- 1 9 窒化チタン層（バリアメタル層）
- 2 0 タングステン層
- 2 1 ストッパー用シリコン酸窒化膜
- 2 2 層間プラズマ酸化膜
- 2 3 下部電極（窒化チタン層）
- 2 5 下部電極（D O P O S 層）
- 2 6 レジスト
- 2 7 T a ₂ O ₅ 容量膜
- 2 8 上部電極（窒化チタン層）
- 2 9 上部電極（D O P O S 層）
- 3 0 ビットコンタクト（タングステンプラグ）
- 3 1 ビット線（窒化チタン）

3 2	コバルトシリサイド膜
3 2'	コバルトシリサイド膜
3 3	コバルトシリサイド膜
3 4	開口部
3 5	酸化膜
3 6	開口部
5 0	シリコン基板 (P 型)
6 0	ビットコンタクト
6 1	ビット線 (窒化チタン)
6 2	酸化膜
6 3	ビットコンタクト
6 4	ビット線 (窒化チタン)
1 0 0	シリコン基板 (P 型)
1 0 1	S T I 素子分離酸化膜
1 0 2	ビットコンタクト
1 0 3	ゲート
1 0 4	容量コンタクト
1 0 5	ポリシリコン層
1 0 6	下部電極 (ポリシリコン層)
1 0 7	T a ₂ O ₅ 容量膜
1 0 8	上部電極 (窒化チタン層)
1 0 9	上部電極 (ポリシリコン層)
1 1 0	ゲート酸化膜
1 1 1	L D D
1 1 1'	L D D
1 1 2	サイドウォール
1 1 3	ソース拡散層
1 1 4	ドレイン拡散層
1 1 5	ダイレクト窒化膜

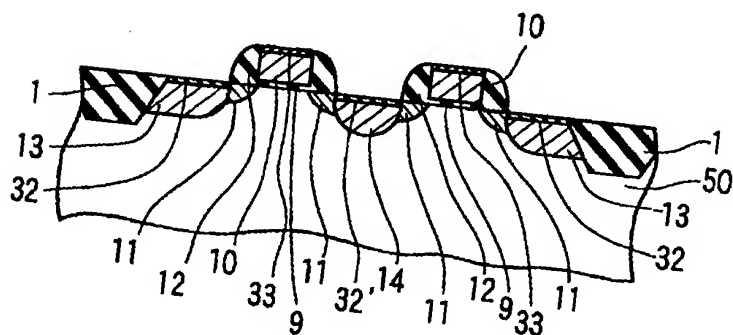
- 1 1 5' ダイレクト窒化膜
- 1 1 6 埋め込み酸化膜
- 1 2 2 酸化膜
- 1 3 1 ビット線（窒化チタン）
- 1 3 2 コバルトシリサイド膜
- 1 3 2' コバルトシリサイド膜
- 1 3 3 コバルトシリサイド膜
- 1 3 5 酸化膜

【書類名】 図面

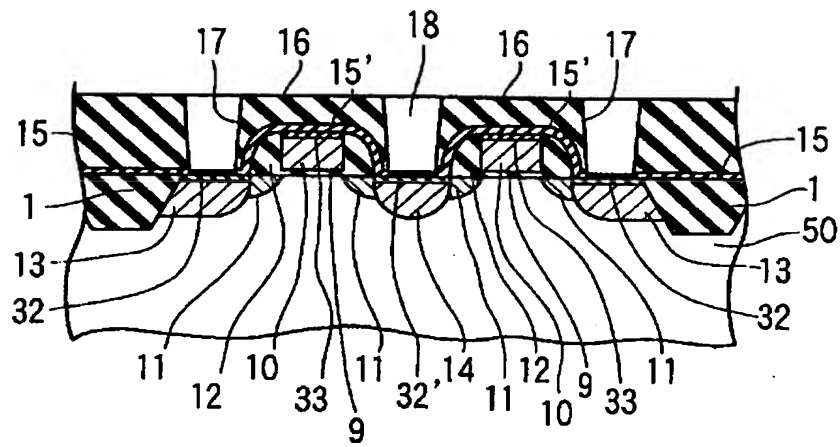
【図 1】



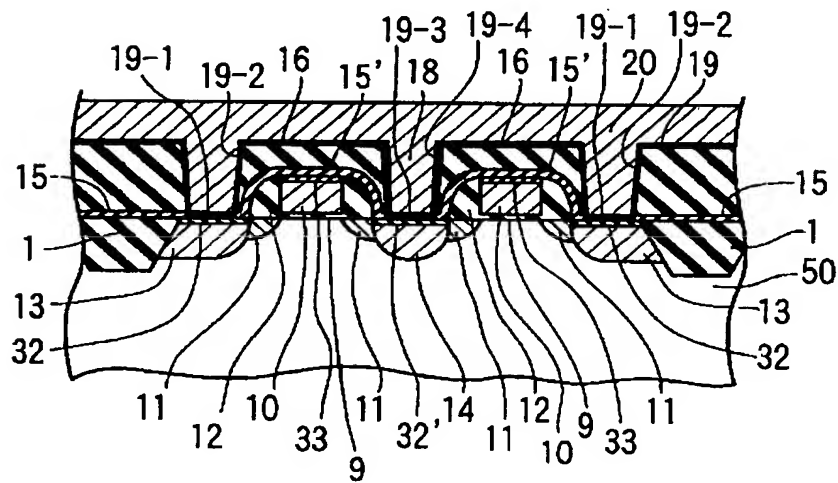
【図 2】



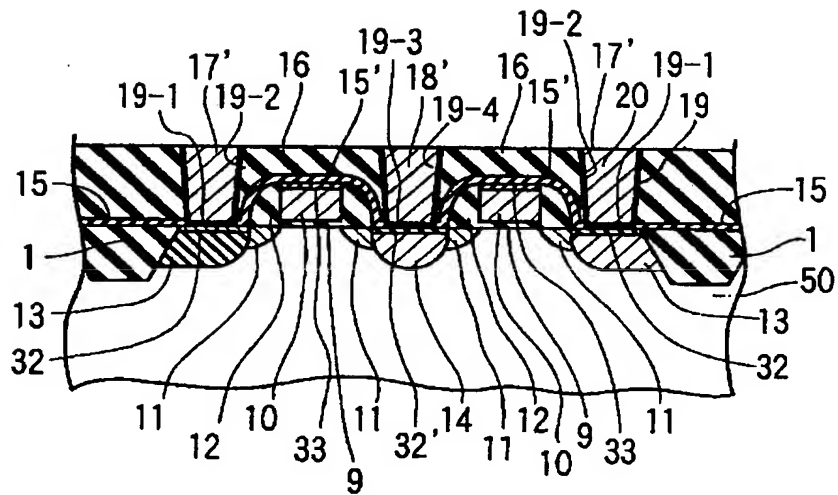
【図 3】



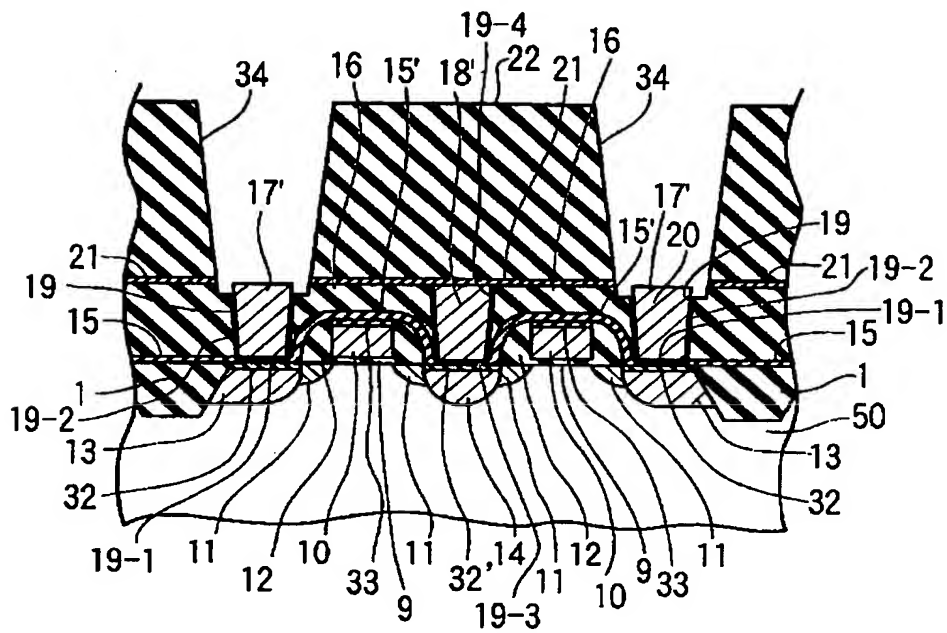
【図 4】



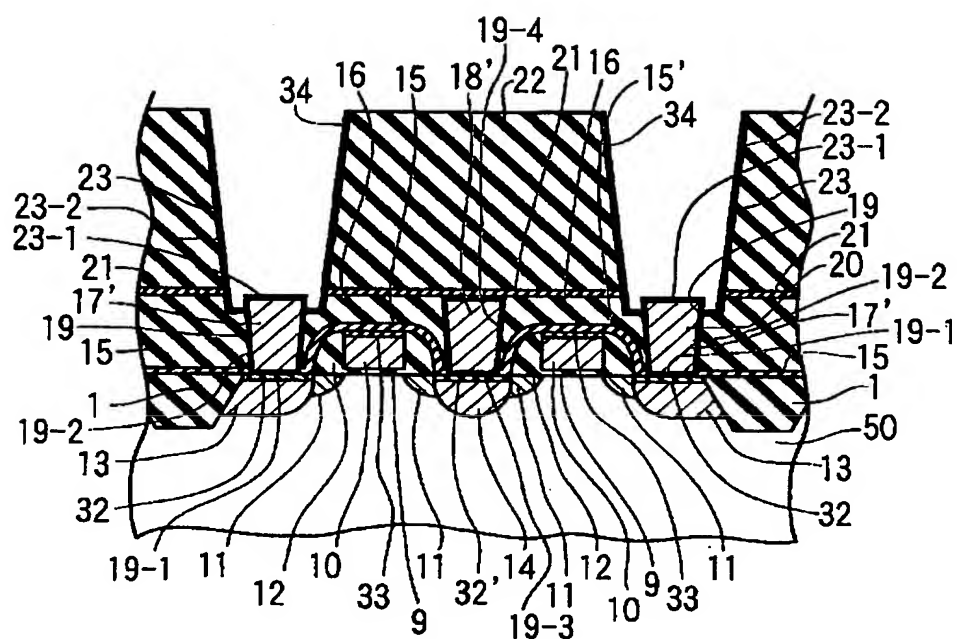
【図 5】



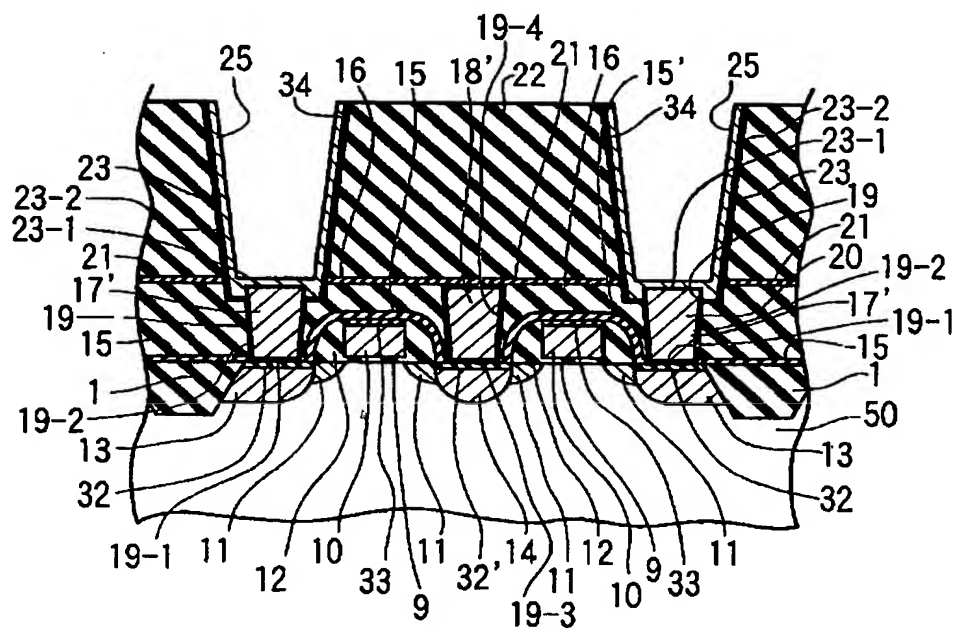
【図 6】



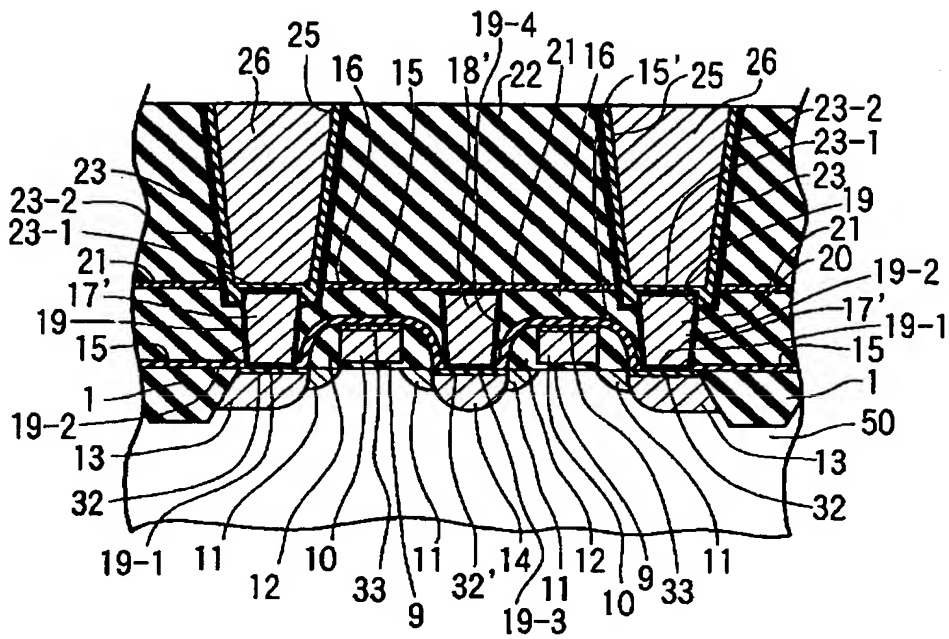
【図 7】



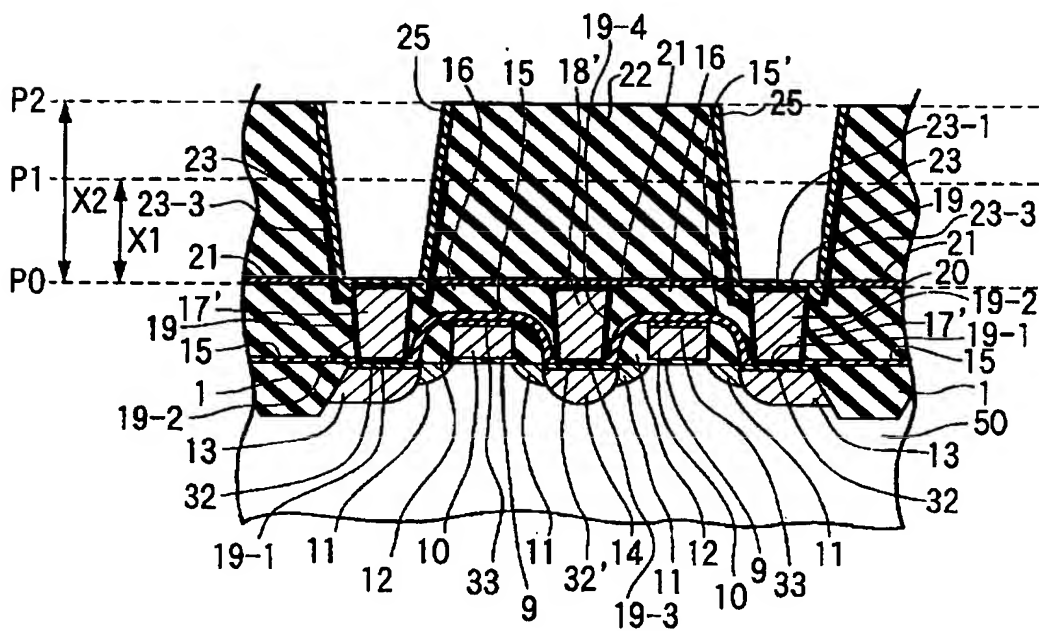
【図 8】



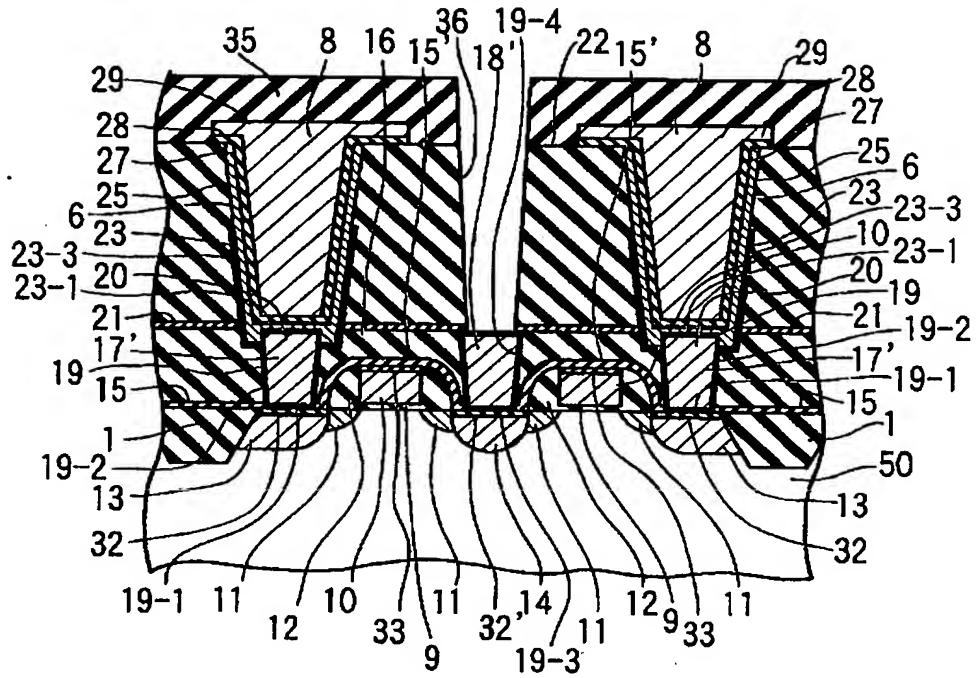
【図 9】



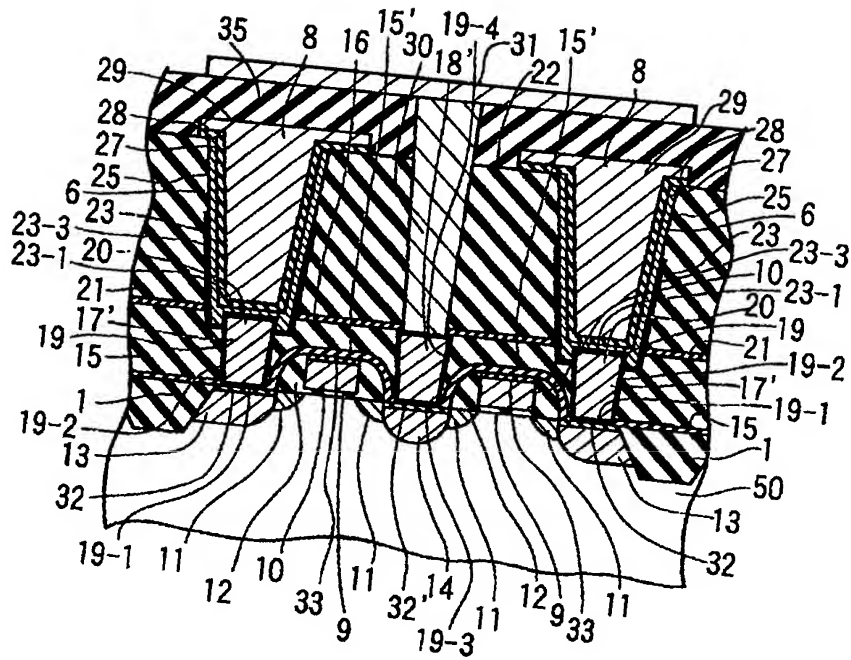
【図 1 0】



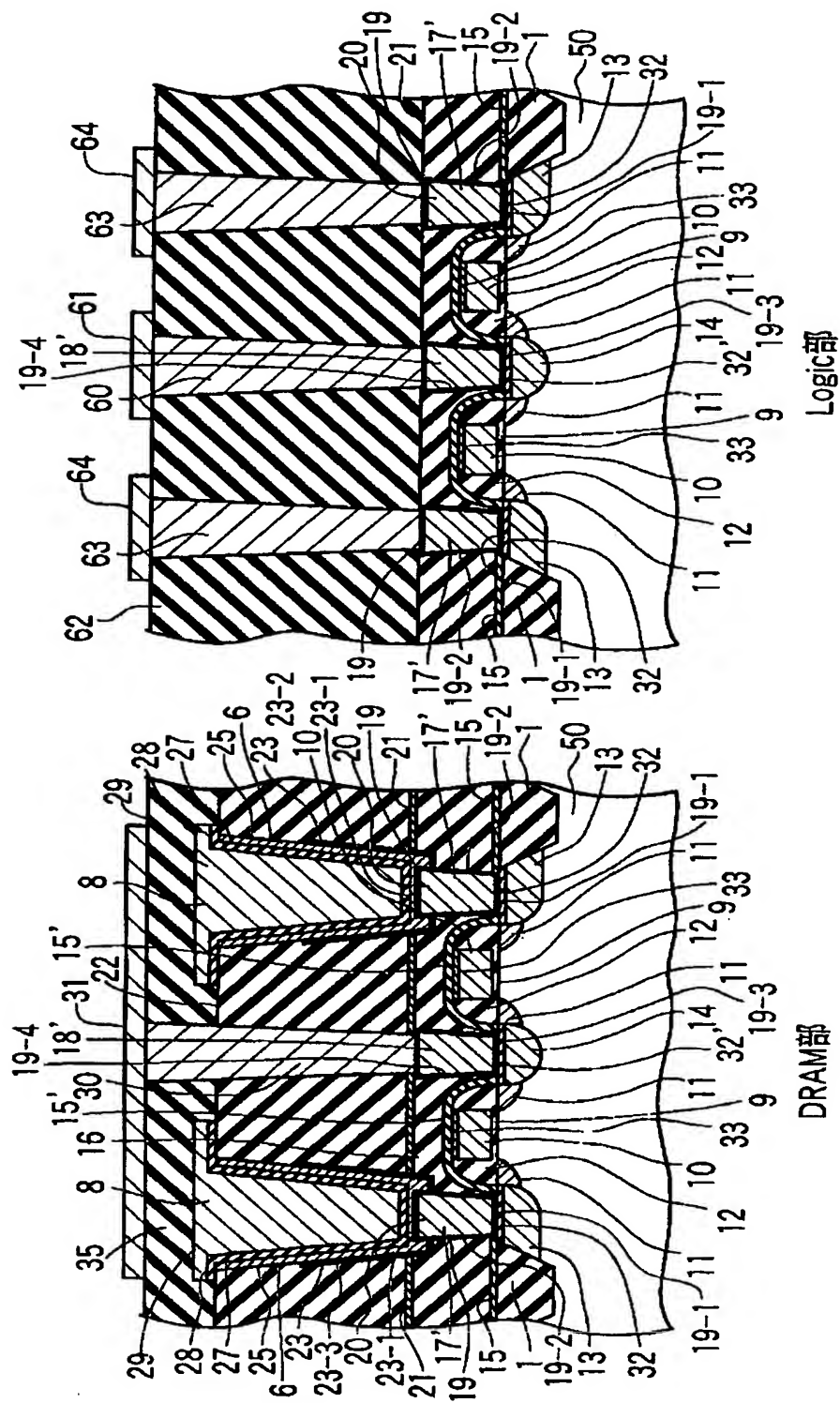
【図 11】



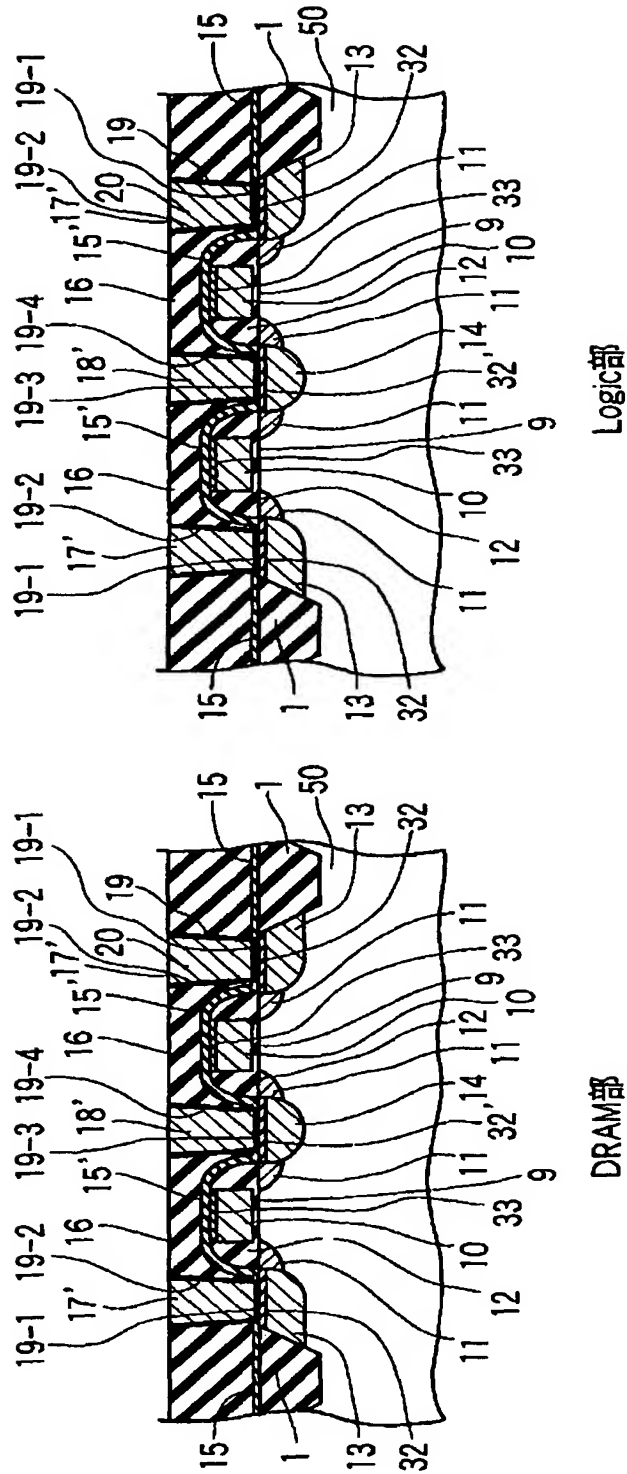
【図12】



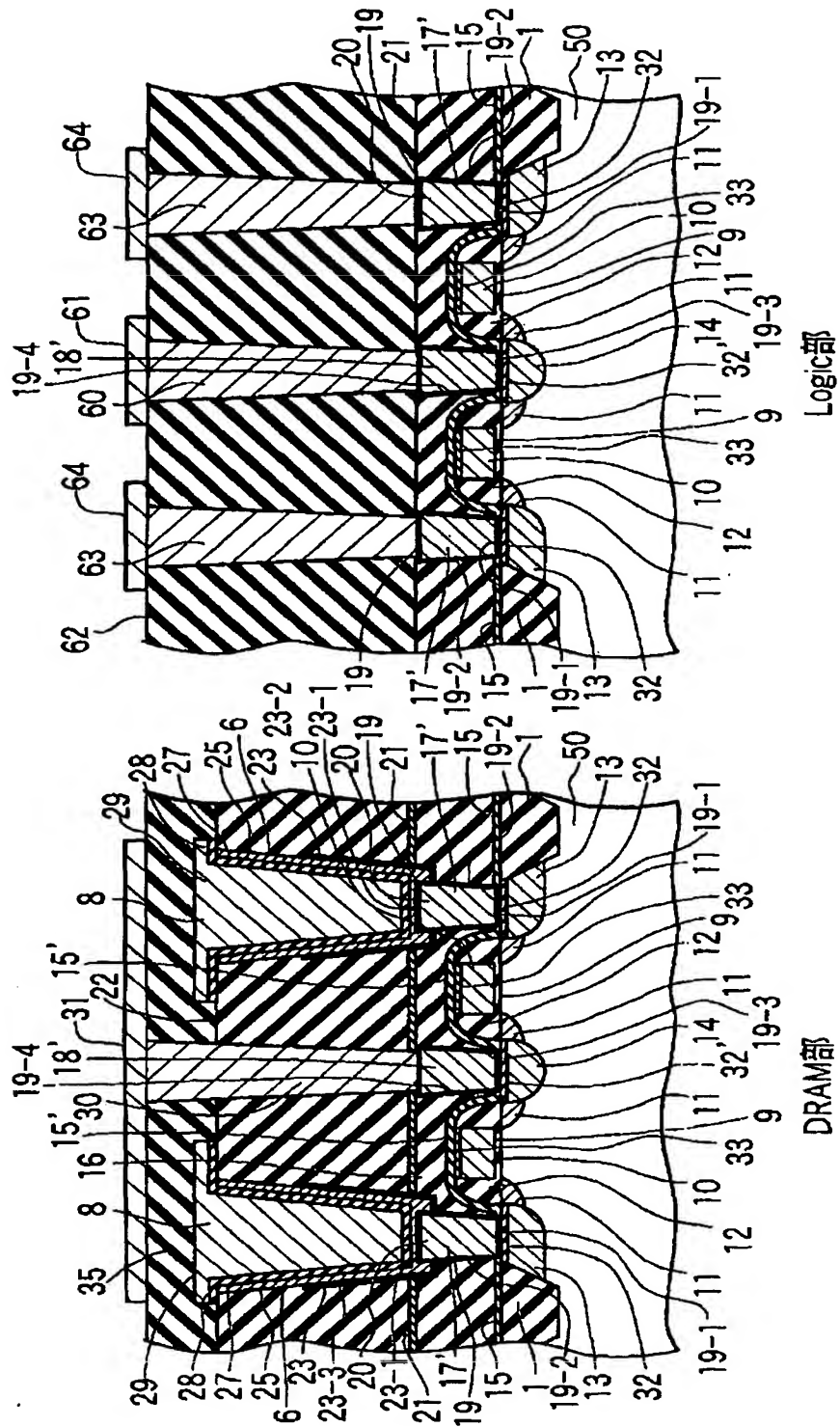
【図 13】



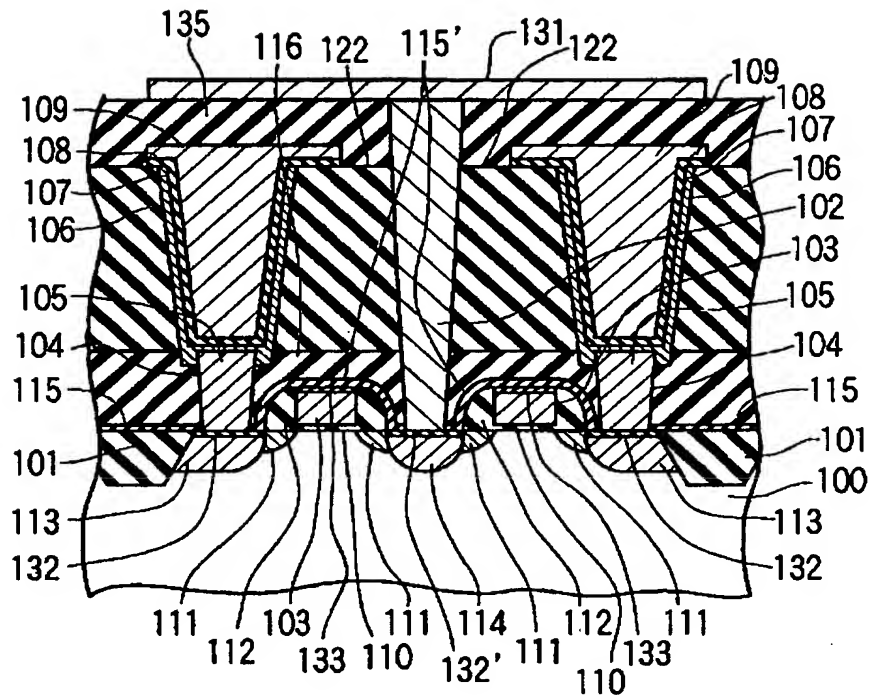
【図 14】



【図15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 低消費電力化に寄与し、高速動作を実現可能とする半導体記憶装置及びその製造方法を提供する。

【解決手段】 本発明による半導体記憶装置は、MOSトランジスタと、第1絶縁膜（16、21、22）と、容量部と、第1コンタクト部（17'）とを具備する。MOSトランジスタは、半導体基板（50）の表面部に形成され、ゲート（10）、ソース領域（13）、ドレイン領域（14）を有する。第1絶縁膜（16、21、22）はMOSトランジスタを覆う。容量部は、第1絶縁膜（16、21、22）に形成され、下部電極（6）と、下部電極（6）上に形成された誘電体層と、誘電体層上に形成された上部電極（8）とを有する。第1コンタクト部（17'）は、第1絶縁膜（16、21、22）中に形成され、下部電極（6）からソース領域（13）に延びている。この第1コンタクト部（17'）は、第1金属プラグ部を含む。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社